

PCT

世界知的所有権機関
国際事務局



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類5 H01L 29/78, 29/28, G02F 1/136		A1	(11) 国際公開番号 WO 90/08402
			(43) 国際公開日 1990年7月26日 (26. 07 1990)
(21) 国際出願番号 PCT/JP90/00017 (22) 国際出願日 1990年1月10日 (10. 01. 90) (30) 優先権データ 特願平1/4177 1989年1月10日 (10. 01. 89) JP (71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) (JP/JP) 〒100 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP) 住友化学工業株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) (JP/JP) 〒541 大阪府大阪市中央区北浜4丁目5番33号 Osaka, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 田中利彦 (TANAKA, Toshihiko) (JP/JP) 土井秀二 (DOI, Syuji) (JP/JP) 〒569 大阪府高槻市塚原2丁目10番1号 住友化学工業株式会社内 Osaka, (JP) 肥塚裕至 (KOEZUKA, Hiroshi) (JP/JP) 津村 順 (TSUMURA, Akira) (JP/JP) 河上宏幸 (FUCHIGAMI, Hiroyuki) (JP/JP) 〒661 兵庫県尼崎市塚口本町八丁目1番1号 三菱電機株式会社 材料研究所内 Hyogo, (JP)		(74) 代理人 弁理士 大岩増雄 (OIWA, Masuo) 〒100 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP) (81) 指定国 J P, U S . 添付公開書類 国際調査報告書	
(54) Title: FET TRANSISTOR AND LIQUID CRYSTAL DISPLAY DEVICE OBTAINED BY USING THE SAME (54) 発明の名称 電界効果型トランジスタ及びこれを用いた液晶表示装置 (57) Abstract A field-effect transistor (FET element) wherein a pi-conjugated polymer film that serves as a semiconductor layer of the element is obtained by first preparing a pi-conjugated polymer precursor film by the use of a pi-conjugated polymer precursor soluble in a solvent and then converting the precursor film into the pi-conjugated film. A liquid crystal display device is obtained by using the FET elements as active drive elements. A large number of the FET elements can be fabricated simultaneously on a substrate having a large area at a low cost and stably operate, thus making it possible to greatly vary the current between the source and the drain by the gate voltage.			

(57) 要約

電界効果型トランジスタ（FET素子）に関し、その素子の半導体層として働く π -共役系高分子膜を、最初に溶剤可溶な π -共役系高分子前駆体を用いて π -共役系高分子前駆体膜を作製し、その後、この前駆体高分子膜を π -共役系高分子膜に変えることによって作製するようにしたものである。

上記FET素子をアクティブ駆動素子として用いることにより液晶表示装置が得られる。

上記FET素子は、多くを同時に大面積基板上に、低価格で作製することができ、かつ作製した全てのFET素子が安定に動作し、ゲート電圧によってソース・ドレイン間電流を大きく変調させることができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴ
CH スイス
CM カメルーン
DE 西ドイツ
DK デンマーク

ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB イギリス
HU ハンガリー
IT イタリア
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ

MG マダガスカル
ML マリ
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
RO ルーマニア
SD スーダン
SE スウェーデン
SN セネガル
SU ソビエト連邦
TD チャード
TG トーゴ
US 米国

明 細 書

電界効果型トランジスタ及びこれを用いた液晶表示装置
技術分野

この発明は、有機半導体を用いた電界効果型トランジスタ（以下、FET素子と略称する）、及びそれを駆動素子として用いた液晶表示装置に関するものである。

背景技術

従来、FET素子としては、半導体層としてシリコンやGaAs単結晶を用いたものが知られており、実用に供されている。しかし、これらの素子においては、用いられる材料が高価であるばかりか、素子作成プロセスが大変複雑である。しかも、素子を組み込むことのできる面積はウェハーの大きさに制限される。例えば、大画面液晶表示素子に用いられるアクティブ駆動素子を作製する場合においては、上記ウェハーを用いている限り、価格面からも、その面積からも著しい制約がある。このような制約のため、現在では、液晶表示素子において駆動素子として用いられるFET素子としては、アモルファスシリコンを用いた薄膜トランジスタが実用に供されている。しかし、アモルファスシリコンを用いた薄膜トランジスタも、表示素子面積の増大に伴い、低価格で、多くの素子を一平面上に、しかも均一に作製するのが困難となりつつある。このような背景の下に、最近では有機半導体を用いてFET素子を作製しようとする試みがなされて

いる。有機半導体の中でも π -共役系高分子を用いたものが、高分子材料の特徴である加工性に優れ大面積化が容易なことから、特に注目されている（特開昭62-85224号公報）。

π -共役系高分子とは化学構造の骨格が共役二重結合や三重結合からなっており、 π -電子軌道の重なりによって形成される価電子帯と伝導帯およびこれを隔てる禁制帯からなるバンド構造を有しているものと考えられている。禁制帯幅は材料によって異なるが、殆どの π -共役系高分子では1～4 eVの範囲にある。このために π -共役系高分子は、それ自身では絶縁体、またはそれに近い電導度しか示さない。しかし、化学的方法、電気化学的方法、物理的方法等によって価電子帯から電子を引き去ったり（酸化）、または伝導帯に電子を注入（還元）すること（以下、ドーピングという）によって、電荷を運ぶキャリアー（担体）が生じるものと説明されている。その結果、ドーピングの量を制御することによって、電導度は絶縁体領域から金属領域に至る幅広い範囲に渡って任意に変えることが可能である。ドーピングが酸化反応のときに得られる π -共役系高分子はp型、還元反応の場合にはn型になる。これは無機半導体における不純物添加に似ている。このために π -共役系高分子を半導体材料として用いた、色々な半導体素子を作製することができる。

π -共役系高分子を半導体として用いたFET素子としては、ポリアセチレン（ジャーナル オブ アプライド フィジクス（J. Appl. Phys.）54巻，3255頁，1983年）を用いたものが知られている。第15図は、従来のポリアセチレンを用いたFET素子の断面図である。この図において、1は基板となるガラス、2はゲート電極となるアルミニウム膜、3は絶縁膜となるポリシロキサン膜、4は半導体層として働くポリアセチレン膜、5および6はそれぞれソース電極およびドレイン電極となる金膜である。

このポリアセチレンを半導体層に用いたFET素子の動作について説明する。ソース電極5とドレイン電極6の間に電圧をかけると、ポリアセチレン膜4を通してソース電極5とドレイン電極6の間に電流が流れる。このとき、ガラス基板1上に設けられ、かつ絶縁膜3によりポリアセチレン膜4と隔てられたゲート電極2に電圧を印加すると、電界効果によってポリアセチレン膜4の電導度を変えることができ、従ってソース・ドレイン間の電流を制御することができる。これは絶縁膜3に近接するポリアセチレン膜4内の空乏層の幅がゲート電極2に印加する電圧によって変化し、実効的な正のキャリアからなるチャネル断面積が変化するためと考えられている。しかし、このFET素子ではゲート電圧によって変えることのできるソース・ドレイン間の電流は極めて小

さい。

π -共役系高分子を半導体として用いたFET素子の他の例としては、ポリ(N-メチルピロール) (ケミストリー レターズ (Chem. Lett.) 863頁, 1986年) およびポリチオフェン (アプライド フィジクス レターズ (Appl. Phys. Lett.) 49巻, 1210頁, 1986年) を適用したものが知られている。第16図に、ポリ(N-メチルピロール) またはポリチオフェンを半導体層とするFET素子の断面図を示す。この図において、3は絶縁膜となる酸化シリコン、4は半導体層として働くポリ(N-メチルピロール) 膜またはポリチオフェン膜、5および6はそれぞれソース電極およびドレイン電極となる金膜、1は基板兼ゲート電極となるシリコン板、2はシリコン板7とオーミック接触をとるための金属である。ポリ(N-メチルピロール) を半導体層として用いた場合には、半導体層4を通してソース電極5とドレイン電極6の間を流れる電流(電導度)をゲート電圧でわずかに制御できるだけであり、実用的価値はない。

一方、ポリチオフェンを半導体層に適用した場合には、半導体層4を通してソース電極5とドレイン電極6の間を流れる電流(電導度)をゲート電圧で、100~1000倍も変調することができる。しかしながら、従来はポリチオフェンを電解重合法によって作製しているために、多くのFET素子を同時に、しかも均一に作る場合には甚

だ問題が多い。

このように、ポリアセチレン並びにポリ（N-メチルピロール）を半導体層に用いたFET素子では、ゲート電圧によって変調できるソース・ドレイン間電流は、小さすぎる。更に、ポリチオフェンを半導体層として用いたFET素子の場合には、ゲート電圧によって変調できるソース・ドレイン間電流は大きく、更に安定性にも優れるが、ポリチオフェン膜を電解重合法によって直接素子基板上に作製する手段でFET素子を作製しているために、素子作製プロセス上、多くのFET素子を大面積基板上に同時に均一に作製することは難しく、製造上問題となっていた。

発明の開示

本発明に係るFET素子は、半導体層として働く π -共役系高分子膜を、最初に溶剤可溶な π -共役系高分子前駆体を用いて π -共役系高分子前駆体膜を作製し、その後、この前駆体高分子膜を π -共役系高分子膜に変えることによって作製するようにしたものである。

また、本発明に係る液晶表示装置は、上記のようなFET素子をアクティブ駆動素子として用いたものである。

本発明においては、電解重合等の方法のように直接 π -共役系高分子膜を作る代わりに、溶剤可溶な π -共役系高分子前駆体から π -共役系高分子前駆体膜を作製し、その後、この前駆体高分子膜を π -共役系高分子膜に変

え、この π -共役系高分子膜を半導体層として用いることにより、素子作製プロセスが著しく容易となり、多くのFET素子を同時に大面積基板上に、低価格で作ることができるようになったばかりか、作製した全てのFET素子が安定に動作し、ゲート電圧によって、ソース・ドレイン間電流を大きく変調させることができるようになった。

また、上記のように作製したFET素子を液晶表示装置の駆動素子として用いることにより、大面積化が容易であり、優れた性能を有する低価格な液晶表示装置を得ることができるようになった。

又別の発明に係るFET素子は、半導体層として働く π -共役系高分子膜を、最初に溶剤可溶な π -共役系高分子前駆体用いて π -共役系高分子前駆体のLangmuir-Blodgett（以下LBと略す）膜を作製し、その後この前駆体高分子のLB膜を π -共役系高分子のLB膜（このLB膜は、有機薄膜であるが、広義にLB膜という）に変えることによって作製するようにしたものである。

また、別の発明に係る液晶表示装置は、上記のようなFET素子をアクティブ駆動素子として用いたものである。

これらの別の発明でも、上記の発明と同様の効果があり、素子作製プロセスが著しく容易となり、多くのFET素子を同時に大面積基板上に、低価格で作ることがで

きるようになったばかりか、作製した全てのFET素子が安定に動作し、ゲート電圧によってソース・ドレイン間電流を大きく変調させることができるようになった。

また、上記のように作製したFET素子を液晶表示装置の駆動素子として用いることにより、大面積化が容易であり、優れた性能を有する低価格な液晶表示装置を得ることができるようになった。

又さらに別の発明に係るFET素子は、ソース電極とドレイン電極に挟まれた領域を、溶剤可溶な前駆体から得られる π -共役系高分子で形成する半導体層と、上記溶剤可溶な前駆体から π -共役系高分子を得る反応において、酸を供与する酸供与膜との積層膜とすることにより、 π -共役系高分子前駆体膜を π -共役系高分子膜に効率良く変えることができ、ゲート電圧によってソース・ドレイン間電流をより大きく変調させることができるようになった。

図面の簡単な説明

第1図は本発明によるFET素子の一実施例を示す断面図、第2図は本発明による液晶表示装置の一実施例の一面素に相当する部分を示す断面図、第3図と第4図はそれぞれ本発明によるFET素子の他の実施例を示す断面図、第5図は本発明による液晶表示装置の他の実施例の一面素に相当する部分を示す断面図、第6図は、実施例1のFET素子の各ゲート電圧におけるソース・ドレ

イン間電流－ソース・ドレイン間電圧特性図、第7図、第8図、および第9図はそれぞれ実施例2、実施例3、および実施例4における同特性図、第10図は実施例1、実施例4の各FET素子と比較例のFET素子の－50Vのソース・ドレイン間電圧を印加した状態におけるソース・ドレイン間電流－ゲート電圧特性図、第11図は実施例2、実施例3の各FET素子と比較例のFET素子の同特性図、第12図は実施例5の液晶表示装置中のFET素子の各ゲート電圧におけるソース・ドレイン間電流－ソース・ドレイン間電圧特性図、第13図、第14図は、それぞれ実施例6、実施例7における同特性図、第15図は従来のポリアセチレンを半導体層として用いたFET素子を示す断面図、第16図は従来のポリ（N－メチルピロール）またはポリチオフェンを半導体層として用いたFET素子を示す断面図である。

なお図中同一符号は同一又は相当部分を示す。

発明を実施するための最良の形態

第1図は、この発明によるFET素子の一例を示す構成図である。図中、1は基板、2は基板1上に設けられたゲート電極、3は絶縁膜、4は半導体層として働く π -共役系高分子膜又はそのLB膜、5および6はそれぞれソースおよびドレイン電極である。

また、第2図はこの発明による液晶表示装置の一例を示す断面図である。この図において、1は基板、2は基

板 1 の片側に設けられたゲート電極、3 は基板 1 およびゲート電極 2 上に設けられた絶縁膜、5 は絶縁膜 3 上に設けられたソース電極、6 は同じく絶縁膜 3 上にソース電極 5 と分離して設けられたドレイン電極、4 は絶縁膜 3, ソース電極 5, およびドレイン電極 6 上に設けられソース電極 5 とドレイン電極 6 にそれぞれ接触する π -共役系高分子又はその LB 膜からなる半導体層であり、これら 2 ないし 6 は液晶表示装置の内、FET 素子の部分 11 である。また、7 は FET 素子 11 のドレイン電極 6 と接続した電極、8 は液晶層、9 は透明電極、10 は偏光板付きガラス板である。電極 7 および電極 9 には配向処理を施している。上記 7 ないし 10 は液晶表示装置の内、液晶表示の部分 12 である。

ここでこの発明による FET 素子および液晶表示装置に用いる材料としては、以下に述べるものがある。

基板 1 は絶縁性の材料であればいずれも使用可能であり、具体的には、ガラス、アルミナ焼結体やポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリパラキシレン膜などの各種絶縁性プラスチックなどが使用可能である。また、液晶表示装置の場合には基板 1 としては透明であることが好ましい。

ゲート電極 2, ソース電極 5 およびドレイン電極 6 としては、金、白金、クロム、パラジウム、アルミニウム、

インジウム、モリブデン等の金属や、低抵抗ポリシリコン、低抵抗アモルファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物（ITO）等を用いるのが一般的であるが、勿論これらの材料に限られる訳ではなく、またこれらの材料を2種以上用いても差し支えない。ここでこれら電極を設ける方法としては、蒸着、スパッタリング、めっき、各種CVD成長等の方法がある。更に導電性の有機系低分子化合物や π -共役系高分子を用いても差し支えない。その場合はLB法も適用可能である。

なお、第1図に示すFET素子や、第2図に示すFET素子を駆動部とする液晶表示装置においては、p型シリコンやn型シリコンをゲート電極2と基板1を兼ねて用いてもよい。この場合には、基板1を省略することができる。また、この場合にはp型シリコンやn型シリコンの体積固有抵抗率は幾らでも良いが、実用上は半導体層として用いる π -共役系高分子膜4のそれよりも小さいことが好ましい。また、FET素子の使用目的に応じて、ゲート電極2と基板1を兼ね、ステンレス板、銅板などの導電性の板またはフィルムを用いることも可能である。

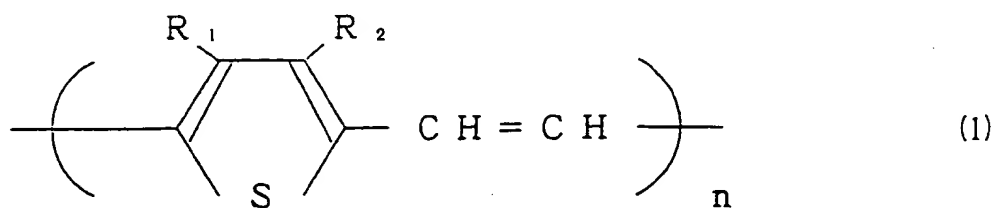
また絶縁膜3としては絶縁性のものであれば、無機、有機のいずれの材料でも使用可能であり、一般的には酸化シリコン（ SiO_2 ）、窒化シリコン、酸化アルミニウム、

ポリエチレン、ポリエステル、ポリイミド、ポリフェニレンスルフィド、ポリパラキシレン、ポリアクリロニトリル、各種絶縁性LB膜等が用いられる。勿論、これらの材料を2つ以上併せて用いても良い。これらの絶縁膜の作製方法としては特に制限はなく、例えばCVD法、プラズマCVD法、プラズマ重合法、蒸着法、スピンコーティング法、ディッピング法、クラスターイオンビーム蒸着法、LB法などが挙げられるがいずれも使用可能である。また、p型シリコンやn型シリコンをゲート電極2と基板1を兼ねて用いる場合には、絶縁膜3としてはシリコンの熱酸化法等によって得られる酸化シリコン膜が好んで用いられる。

液晶表示装置の内、液晶表示部12においてFET素子のドレイン電極6と短絡した電極7は十分な電導度を有し、液晶に不溶であるものならばなんでも良く、金、白金、クロム、アルミニウムなどの金属や錫酸化物、酸化インジウム、インジウム・錫酸化物（ITO）などの透明電極、あるいは導電性を有する有機系高分子を用いても良い。勿論、これらの材料を2つ以上組み合わせて用いても良い。ガラス板10上の電極9としては錫酸化物、酸化インジウム・錫酸化物（ITO）などの透明電極を用いるのが一般的である。また、適度の透明度を有する導電性有機系高分子を用いても良い。あるいはこれらの材料を2つ以上併せて用いても良い。ただし、これら電

極 7 および電極 9 には、 SiO_2 の斜め蒸着またはラビング等の配向処理を施しておく必要がある。液晶層 8 にはゲスト・ホスト型液晶、TN 型液晶、またはスメクチック C 相液晶等の液晶が用いられるが、基板 1 においてガラスを用い、電極 7 に透明電極を用いる場合には、基板 1 に偏光板を取り付けることによりコントラスト比が上がる。偏光板付きガラス板 10 の偏光板は偏光するものであればなんでも良い。

また、半導体層として働く π -共役系高分子膜又はその LB 膜 4 の材料としては、その π -共役系高分子の前駆体が溶剤に可溶であれば使用可能であり、2 種以上を併せて用いても良い。また前駆体の LB 膜の作製には、両親媒性を有しているものが好んで用いられる。 π -共役系高分子の前駆体が溶剤に可溶であるものの内、特に一般式 (1)

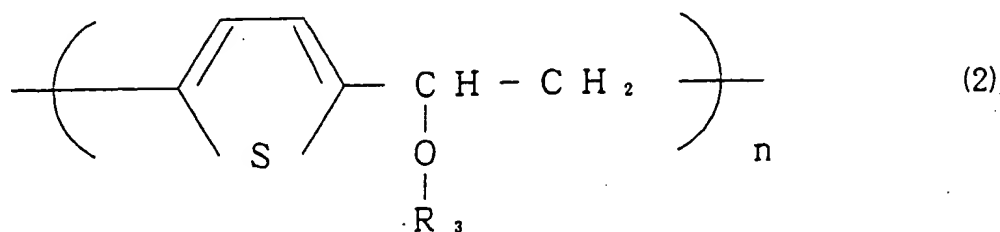


(但し、 R_1 および R_2 は $-\text{H}$ 、アルキル基、アルコキシ基の内の一種、 n は 10 以上の整数) で表される π -共役系高分子が FET 素子の特性上優れている。更に、 π -共役系高分子前駆体の合成の容易さから、 R_1 および R_2 が $-\text{H}$ の π -共役系高分子が好んで用いられる。ここで溶剤とは、各種有機溶媒、水、およびそれらの混合

されたものをいう。

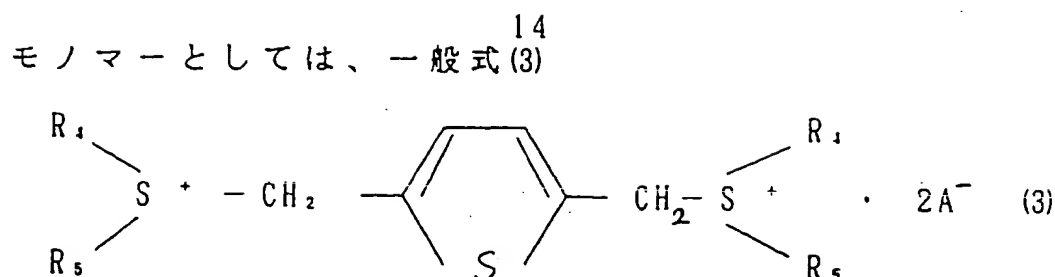
特に前駆体のLB膜の作製には、水よりも比重が軽く、水に溶けにくく、かつ蒸発しやすい有機溶媒が好んで用いられる。

次に一般式(1)において、 R_1 および R_2 が共に $-H$ である π -共役系高分子の前駆体について説明する。一般式(1)において、 R_1 および R_2 が共に $-H$ である π -共役系高分子の前駆体としては、一般式(2)



(但し、 R_3 は炭素数 1～10 の炭化水素基) で表されるものが保存安定性の観点から好んで用いられる。ここで、一般式(2)の中の R_3 としては、炭素数 1～10 の炭化水素基であればいずれも使用可能であり、例えばメチル、エチル、プロピル、イソプロピル、 n -ブチル、2-エチルヘキシル、シクロヘキシル基等が挙げられるが、炭素数 1～6 の炭化水素基、特にメチル、エチル基が実用上好まれる。本発明に用いられる高分子前駆体の合成法については、特に制限はないが、以下に述べるスルホニウム塩分解法によって得られる高分子前駆体が、安定性の上から好ましい。

一般式(2)をスルホニウム塩分解法によって得る場合の



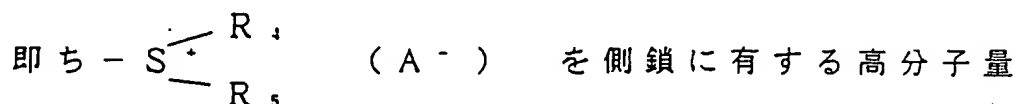
(但し、 R_4 および R_5 は炭素数 1～10 の炭化水素基、 A^- は対イオン) で表される 2, 5-チエニレンジアルキルスルホニウム塩が用いられる。ここで一般式 (3) 中の R_4 および R_5 としては、炭素数 1～10 の炭化水素基であればいずれも使用可能であり、例えばメチル、エチル、プロピル、イソプロピル、 n -ブチル、2-エチルヘキシル、シクロヘキシル、ベンジル基等が挙げられるが、炭素数 1～6 の炭化水素基、特にメチル、エチル基が好んで用いられる。対イオン A^- としては特に制限がないが、例えばハロゲン、水酸基、4フッ化ホウ素、過塩素酸、カルボン酸、スルホン酸イオン等が挙げられるが、そのなかでも塩素、臭素等のハロゲンおよび水酸基イオンが好ましい。

一般式 (3) を縮合重合して一般式 (2) を得る場合の溶媒としては、水、アルコール単独、並びに水および／またはアルコールを含む混合溶媒などが用いられる。縮合重合させる場合には、反応溶液はアルカリ溶液であることが好ましく、アルカリ溶液としては pH 11 以上の強い塩基性溶液であることが好ましい。用いられるアルカリとしては、水酸化ナトリウム、水酸化カリウム、水酸化カルシウム、第 4 級アンモニウム塩水酸化物、スルホニウム

塩水酸化物，強塩基性イオン交換樹脂（OH型）等が挙げられるが、特に水酸化ナトリウム，水酸化カリウム，第4級アンモニウム塩水酸化物，強塩基性イオン交換樹脂が好んで用いられる。

スルホニウム塩が熱、光、特に紫外線，強塩基性などの条件下では不安定であるために、縮合重合の後、徐々に脱スルホニウム塩化が生じ、アルコキシ基への変換が有効に行えなくなってしまうため、縮合重合反応は比較的低温、即ち、 $^{\circ}\text{C}$ 以下、特に 25°C 以下、更に -10°C 以下の温度で反応を行うのが望ましい。反応時間は重合温度により適宜決めればよく、特に限定されないが、通常10分～50時間の範囲にある。

スルホニウム塩分解法によれば、重合後、最初に π -共役系高分子の前駆体はスルホニウム塩、



の高分子電解質（高分子スルホニウム塩）として生成するが、スルホニウム塩側鎖が溶液中のアルコール（ R_3OH ）と反応し、アルコールのアルコキシ基〔(2)式中の OR_3 に相当する〕が側鎖となる。従って、用いる溶媒は上記の R_3OH のアルコールを含むことが必要である。これらのアルコールは単独または他の溶媒と併用して用いても良い。混合して用いる溶媒はアルコールに可溶であれば特に制限はないが、実用上水が好んで用いられる。

混合溶媒を用いるときの混合比についてはアルコールが存在しておれば良いが、アルコールは5重量パーセント以上であるのが好ましい。

スルホニウム側鎖をアルコキシ基に置換する反応においては、縮合重合後アルコールを含む溶媒中で縮合重合温度より高くすることで、有効にスルホニウム側鎖をアルコキシ基に置換させることができる。重合の溶媒が上記アルコールを含む場合、重合に引き続いてアルコキシ基の置換反応を行わせることができる。一方、重合の溶媒が水などで、アルコールを含まない場合には、重合後アルコールを混合して同様に行うことができる。アルコキシ基への置換反応では、反応速度の観点から0℃から50℃が好ましく、0℃から25℃がより好ましい。アルコキシ基を側鎖に有する高分子は、一般的に用いた混合溶媒に不溶であるので、反応の進行と共に沈澱する。従って反応時間は沈澱が充分生じるまで行うのが効果的であり、15分以上が好ましいが、収量の観点からは1時間以上が好ましい。このようにして側鎖にアルコキシ基を有する π -共役系高分子前駆体は沈澱生成物をろ過することによって分離される。

塗布性の高い π -共役系高分子前駆体を得るためには、分子量が充分大きいことが好ましく、少なくとも一般式(2)の π -共役系高分子前駆体の繰返し単位nを10以上、好ましくは20ないし50000を有するもの、例えば分画分

子量 3500 以上の透析膜による透析処理で透析されない分子量を有するようなものが効果的に用いられる。

一般式 (2) でしめされるアルコキシ基などの脱離基を側鎖に有する π -共役系高分子前駆体は溶解性に優れ、多くの有機溶媒に可溶であり、これらの有機溶媒としてはジメチルホルムアミド、ジメチルアセトアミド、ジメチルスルホキシド、ジオキサン、クロロホルム、テトラヒドロフラン等が挙げられる。

又前駆体の LB 膜の作製には、水よりも比重が軽く、水に溶けにくく、かつ蒸発しやすい有機溶媒が好ましい。

本発明において用いられる π -共役系高分子前駆体薄膜を得る方法としては、溶剤に溶かした π -共役系高分子前駆体溶液を用いて、スピンコート法、キャスト法、ディッピング法、バーコート法、ロールコート法等が用いられる。その後、溶剤を蒸発させて π -共役系高分子前駆体薄膜を得、この π -共役系高分子前駆体薄膜を加熱することによって半導体をして働く π -共役系高分子膜を得る。 π -共役系高分子前駆体薄膜を加熱することによって、 π -共役系高分子膜にするときの加熱条件としては特に制限がないが、実用上 200°C 以上、300°C 以下で、不活性気体雰囲気下で行うことが望ましい。勿論、200°C 以下の加熱においても、 π -共役系高分子前駆体薄膜を π -共役系高分子膜にすることは可能である。また、HCl や HBr などのプロトン酸を含む不活性気体

雰囲気下で加熱すると、 π -共役系高分子前駆体薄膜から π -共役系高分子薄膜への変換がスムーズに進む場合が多い。

一方本発明において用いられる π -共役系高分子前駆体のLB膜を得る方法としては、純粹または塩の水溶液等をサブフェイズとし溶剤に溶かした π -共役系高分子前駆体溶液を展開液として用いて、Kuhn型トラフを用いた垂直浸漬法、水平付着法、およびムービングウォール型トラフを用いたLB膜作製法等によるLB法を用い、基板に堆積する。その後、水分を蒸発させて乾燥した π -共役系高分子前駆体のLB膜を得、この π -共役系高分子前駆体のLB膜を加熱することによって半導体として働く π -共役系高分子のLB膜を得る。 π -共役系高分子前駆体のLB膜を加熱することによって、 π -共役系高分子のLE膜にするときの加熱条件としては特に制限はないが、実用上200℃以上、300℃以下で、不活性気体雰囲気下で行うことが望ましい。勿論、200℃以下の加熱においても、 π -共役系高分子前駆体のLB膜を π -共役系高分子のLB膜にすることは可能である。また、HClやHBrなどのプロトン酸を含む不活性気体雰囲気下で加熱すると、 π -共役系高分子前駆体のLB膜から π -共役系高分子のLB膜への変換がスムーズに進む場合が多い。

なお前駆体のLB膜の作製上、 π -共役系高分子の前

駆体が溶剤可溶であっても、十分な両親媒性を有していない場合には、これをステアリン酸やアラキジン酸などの良好な両親媒性化合物と混合して調整した展開液を用いてLB膜を作製することが可能である。またサブフェイズ上の両親媒性化合物の単分子膜に上記 π -共役系高分子の前駆体を吸着させてLB膜を作製することが可能である。

このように、 π -共役系高分子膜を、従来の電解重合等のように直接 π -共役系高分子膜又はそのLB膜を作るのではなく、最初に溶剤可溶な π -共役系高分子前駆体を用いて高分子前駆体膜又はそのLB膜を作製し、これを π -共役系高分子膜又はそのLB膜に変えるようにすれば、 π -共役系高分子膜又はそのLB膜を大面積基板上に均一に作製することが容易となる。

π -共役系高分子は、ドーピング処理を施さなくても電導度は低いものの、一般的には半導体としての性質を示すものは多い。しかし、FET素子の特性の向上のために、しばしばドーピング処理が行われる。このドーピングの方法としては化学的方法と物理的方法がある。

(工業材料, 34巻, 第4号, 55頁, 1986年)。前者には①気相からのドーピング, ②液相からのドーピング, ③電気化学的ドーピング, ④光開始ドーピング等の方法があり、後者ではイオン注入法があり、いずれも使用可能である。

次に、第3図と第4図はそれぞれ本発明によるFET素子の他の実施例を示す断面図で、13は第3図では π -共役系高分子膜4上に積層し、第4図では基板1とゲート電極2上に積層したもので、それぞれ π -共役系高分子4の前駆体膜から π -共役系高分子膜への変換反応を促進させる酸供与膜である。第3図において、 π -共役系高分子膜4と酸供与膜13の位置を交換し、すなわち絶縁膜3、ソース電極5とドレイン電極6上に酸供与膜13を積層し、酸供与膜13上に π -共役系高分子膜を積層した構成としても、作製されたFET素子はゲート電圧の印加により、ソース・ドレイン電流を制御することができる。

第5図は本発明による液晶表示装置の他の実施例を示す断面図で、13は π -共役系高分子膜4上に積層し、 π -共役系高分子4の前駆体膜から π -共役系高分子への変換反応を促進させる酸供与膜である。

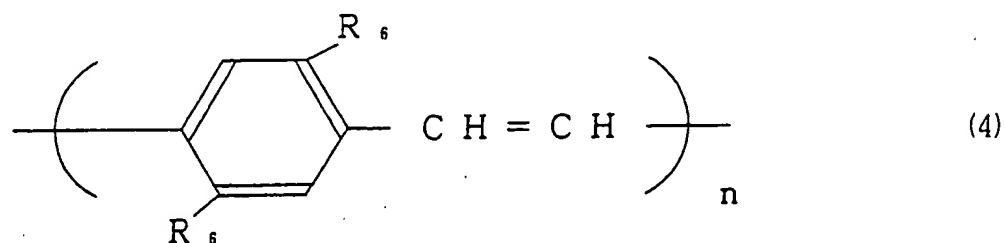
第3図、第4図及び第5図におけるその他の部分は、上述した第1図及び第2図の相当部分と同様なものであり、作製法も同様である。

酸供与層13は、 π -共役系高分子前駆体から π -共役系高分子4への変換反応を促進させるための酸を供与するものであれば良く、特に制限はない。

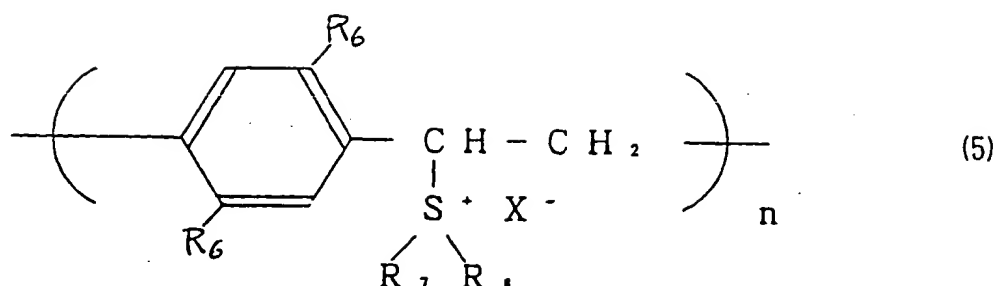
但し、FET素子特性上、酸供与膜自体は絶縁体である方が望ましい。例えば、ポリイミドフィルム、ポリ

エステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィドフィルム、ポリパラキシレンフィルム等を用いた酸含浸高分子膜、ルイス酸・アミン錯体、第三アミン類、ルイス酸ジアゾニウム塩、ルイス酸ジアリルイオドニウム塩、ルイス酸スルホニウム塩等の酸発生剤を含有した上記高分子膜、p-キシリレンービス(スルホニウム ハロゲナイド)あるいはその誘導体等反応により容易に酸を脱離する膜等があげられる。酸供与膜を得る方法としては特に制限はないが、例えばCVD法、プラズマCVD法、プラズマ重合法、蒸着法、クラスターイオンビーム蒸着法、有機分子線エピタキシャル成長法、スピンドーティング法、ディッピング法、LB法などが挙げられるがいずれも使用可能である。

以下、一例として、一般式(1)で表される π -共役系高分子を半導体層に用い、一般式(4)



(但し、 R_6 は、 $-\text{H}$ 、アルキル基、アルコキシ基の内の一種、 n は10以上の整数)で表される π -共役系高分子を酸供与膜に用いたものについて説明する。一般式(4)は、一般式(5)



(但し、 R_6 は、 $-\text{H}$ 、アルキル基、アルコキシ基の内一種、 R_7 及び R_8 は炭素数 1 ~ 10 の炭化水素基、 X^- は Br 、 Cl 等のハロゲン、 n は 10 以上の整数) で表される π -共役系高分子前駆体を有する。一般式 (5) は水溶性であり、スピンコート法、キャスト法、ディッピング法、バーコート法、ロールコート法等を用いて、容易に膜を形成できる。したがって半導体層となる π -共役系高分子薄膜前駆体 (一般式 (2)) と酸供与膜となる π -共役系高分子前駆体膜 (一般式 (5)) からなる積層膜を得る方法としては特に制限はないが、溶剤に溶かした π -共役高分子前駆体溶液を用いて、スピンコート法、キャスト法、ディッピング法、バーコート法、ロールコート法等により半導体となる π -共役高分子前駆体膜 (一般式 (2)) を得、溶剤を蒸発させた後、上記同様の手法により酸供与膜 (一般式 (5)) を積層するのが FET 素子作製上好ましい。あるいは上記のごとく酸供与膜 (一般式 (5)) を得た後に、溶剤に溶かした π -共役系高分子前駆体溶液を用いて、スピンコート法、キャスト法、ディッピング法、バーコート法、ロールコート法等により半導体層

となる π -共役系高分子前駆体膜（一般式(2)）を得、積層膜としてもよい。もちろん、上記積層は繰り返し行っても構わない。その後、上記のごとく得られた積層膜を加熱することによって、半導体として働く π -共役系高分子膜（一般式(1)）と絶縁膜（一般式(4)）の積層膜を得る。 π -共役系高分子前駆体薄膜（一般式(2)）と酸供与膜（一般式(5)）からなる積層膜を加熱することによって、 π -共役系高分子膜（一般式(1)）と絶縁膜（一般式(4)）からなる積層膜を得る加熱条件としては特に制限はないが、実用上 100℃以上、300℃以下で、不活性気体雰囲気下で行う事が望ましい。

上記のように酸供与膜として π -共役系前駆体膜（一般式(5)）を用いたときの酸供与法について説明する。酸供与層である π -共役系高分子前駆体膜（一般式(5)）は、加熱により、 π -共役系高分子（一般式(4)）へ変換し、その際に、スルホニウム（ $S \begin{smallmatrix} R_7 \\ \vdots \\ R_8 \end{smallmatrix}$ ）及び酸（ HX ）を脱離する。この脱離した酸が、半導体層となる π -共役系高分子前駆体膜（一般式(2)）へ拡散することにより酸が供与される。

なお、酸供与膜のうち、絶縁体のものは、FET素子において、酸供与膜とゲート絶縁膜を兼ねることができる（第4図）。この場合は、FET素子作製プロセスを簡略化できる。

上記のように構成されたFET素子並びにこのFET

素子を駆動素子とする液晶表示装置の動作機構について、液晶表示装置の動作機構を述べることによって説明する。

動作機構については未だ不明の点が多いが、 π -共役系高分子膜又はそのLB膜4と絶縁膜3の界面において、 π -共役系高分子膜4又はそのLB膜側に形成した空乏層の幅がゲート電極2とソース電極5との間にかけた電圧で制御され、実効的なキャリアのチャネル断面積が変化するためにソース電極5とドレイン電極6の間を流れる電流が変化すると考えられる。このとき、 π -共役系高分子膜4又はそのLB膜として電導度の低いp型半導体性しか持たせていない場合には、ゲート電極2としては金属電極以外にp型シリコンやn型シリコン、あるいは導電性を有する有機系高分子などの電導度の高い材料を用いても、 π -共役系高分子膜4又はそのLB膜中に充分大きな幅の空乏層が形成されて電界効果が現れると考えられる。

本発明の液晶表示装置において、上記FET素子部11と液晶表示部12は直列に接続されている。 π -共役系高分子膜4又はそのLB膜がp型半導体性を示す場合には、ソース電極5を基準として透明電極9に負電圧を印加しておき、ゲート電極2に負電圧を印加すると、液晶8が点灯することになる。これは上述したように、FET素子のソース・ドレイン電極間抵抗がゲート電極2への負電圧印加により減少し、液晶表示部12に電圧がかかる

ためであると考えられる。一方、ソース電極 5 を基準として透明電極 9 に負電圧を印加したままゲート電圧を切ると、液晶 8 は点灯しなくなる。これは F E T 素子のソース・ドレイン電極間の抵抗が大きくなり、液晶表示部 12 に電圧がかからなくなるためであると考えられる。以上のように、本発明の液晶表示装置では、付属させた F E T 素子に印加するゲート電圧を変えることにより、液晶表示部 12 の駆動を制御できる。

なお、第 2 図では基板 1 上にゲート電極 2 が設けられているが、逆に、基板上に π -共役系高分子膜又は L B 膜を設け、その上にソース電極及びこのソース電極と分離してドレイン電極を設け、上記ソース電極及びドレイン電極との間に絶縁膜を介在させて、絶縁膜上にゲート電極を設けても良い。また、基板上にゲート電極を設け、絶縁膜を介在させて、その上に π -共役系高分子膜又は L B 膜を設け、更にその上にソース電極及びこのソース電極と分離してドレイン電極を設けても良い。あるいはまた、基板上にソース電極及びこのソース電極と分離してドレイン電極を設け、この上に π -共役系高分子膜又は L B 膜を設け、更に絶縁膜を介在させてゲート電極を設けても良い。

また第 3 図では半導体層となる π -共役系高分子膜 4 の上に酸供与膜 13 が設けられているが、逆に、基板 1 上にゲート電極 2 を設け、絶縁膜 3 を介在させて、その上

にソース電極 5 及びドレイン電極 6 を設け、その上に酸
供与膜 13 を設け、その上に半導体層である π -共役系高
分子膜 4 を設けてもよい。あるいはまた、第 4 図に示す
ように、基板 1 上にゲート電極 2 を設け、その上に酸供
与層 13 を設けその上にソース電極 5 及びドレイン電極 6
設け、さらにその上に半導体層である π -共役系高分子
膜 4 を設け、酸供与膜 13 とゲート絶縁膜 3 を兼ねて使用
してもよい。あるいはまた、基板 1 上にゲート電極 2 を
設け、その上に絶縁膜 3 を兼ねた酸供与層 13 を設け、そ
の上に半導体層である π -共役系高分子膜 4 を設け、そ
の上にソース電極 5 及びドレイン電極 6 を設けてもよい。

あるいはまた基板 1 上にゲート電極 2 を設け、絶縁膜
3 を介在させて、その上に π -共役系高分子膜 4 を設け、
その上に酸供与膜 13 設け、更にその上にソース電極 5 及
びドレイン電極 6 を設けても良い。或はまた基板 1 上に
ソース電極 5 及びドレイン電極 6 を設け、この上に π -
共役系高分子膜 4 を設け、さらに酸供与膜 13 を兼ねた絶
縁膜 3 を介在させて、その上にゲート電極 2 を設けても
良い。

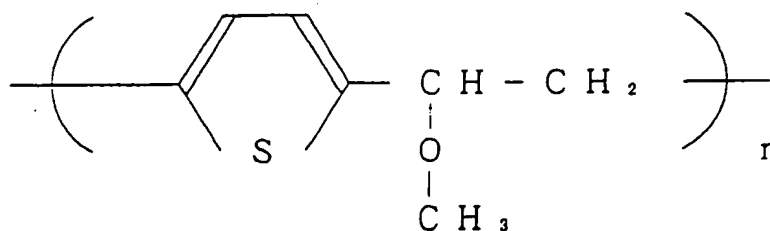
また、第 2 図及び第 5 図の例では F E T 素子部 11 と液
晶表示部 12 を同一基板上に作製したが、これらを別々の
基板上に作製した後接続しても良い。

以下具体的な実施例にて本発明を詳細に説明するが、
これによって本発明を限定するものではない。

実施例 1

抵抗率が $4 \sim 8 \Omega \text{ cm}$ である 3 インチ n 型シリコン板を酸素気流中で加熱し、厚さ 3000 \AA の酸化シリコン膜で被覆した。次に、片側の酸化シリコン膜上に通常の真空蒸着法、フォトリソグラフィ技術、及びエッチング技術を用いて、厚さ 200 \AA のクロムを下地とする厚さ 300 \AA の金電極を 5 対設けた。この 5 対の金電極は、FET 素子においてソース電極とドレイン電極として働く。ここで一对の金電極の幅、即ちチャネル幅は 2 mm であり、両電極の間隔、即ちチャネル長は $6 \mu \text{ m}$ であるようにした。このようにして作製した基板を以下 FET 素子基板と呼ぶ。

上記 FET 素子基板の温度及び雰囲気温度を約 60°C に設定し、次の化学構造からなるポリ (2,



5-チエニレンビニレン) 前駆体の約 2 wt% ジメチルホルムアミド (DMF) 溶液を用いて、スピンコート法にて前駆体フィルムを FET 素子基板上に得た。このとき、スピナーの回転数は毎分 2000 回転とした。得られた前駆体フィルムの膜厚は、約 800 \AA であった。

次に、ポリ (2, 5-チエニレンビニレン) 前駆体フ

フィルムで被覆したFET素子基板を赤外線イメージ炉にて、約2時間、窒素気流下、270℃の条件で加熱した。この結果、前駆体フィルムの色は、淡黄色から褐色に変わった。上記加熱処理によって、ポリ(2,5-フェニレンビニレン)前駆体フィルムはポリ(2,5-フェニレンビニレン)フィルムへと変わり、これに伴い、赤外線吸収スペクトルにおいて、 1590cm^{-1} に $-\overset{\text{H}}{\text{C}}=\overset{\text{H}}{\text{C}}-$ に基づく吸収が現れた。

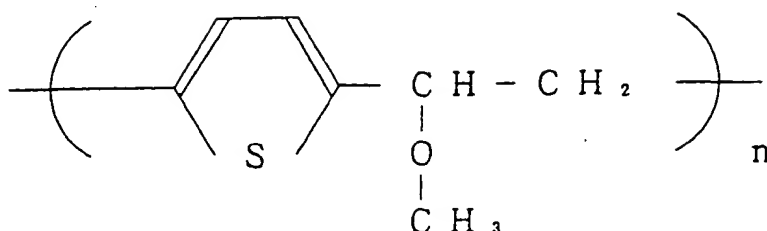
次に、上記のようにして得られたフィルムで被覆したFET素子基板の他面の酸化シリコン膜を機械的に剝離して、裸のシリコン表面にガリウムとインジウムの合金を塗布してオーミック接触を取った。

以上のようにして、シリコン板自体が5個のFET素子の共通ゲート電極として働き、シリコン板上の酸化シリコン膜が5個のFET素子の共通のゲート絶縁膜として働くようにした。このようにして、第1図に示すFET素子を得た。ここで1及び2は基板兼ゲート電極であるシリコン板であり、3は絶縁膜である酸化シリコン膜、4は半導体層として働くポリ(2,5-フェニレンビニレン)前駆体膜から得られたポリ(2,5-フェニレンビニレン)膜、5及び6はそれぞれソース及びドレイン電極として働く金膜である。

実施例 2

実施例1で作製したFET素子基板を用いる。サブフ

エイズ（水）の温度を約20℃に設定し、次の化学構造からなるポリ（2，



5-チエニレンビニレン）前駆体の約2wt%ジメチルホルムアミド（DMF）溶液0.5mlとクロロホルム9.5mlを混合した溶液を展開液として用いて、Kuhn型トラフによる垂直浸漬法にて前駆体のLB膜を上記FET素子基板上を得た。このとき表面圧 π は20mN/mとした。得られた前駆体LB膜の層数は、100層であった。

次に、ポリ（2，5-チエニレンビニレン）前駆体のLB膜で被覆したFET素子基板を赤外線イメージ炉にて、約2時間、窒素気流下、210℃の条件で加熱処理した。この結果、前駆体LB膜の色は、淡黄色から褐色に変わった。上記加熱処理によって、ポリ（2，5-チエニレンビニレン）前駆体のLB膜はポリ（2，5-チエニレンビニレン）のLB膜へと変わり、これに伴い、赤外線吸収スペクトルにおいて、 1590 cm^{-1} に $-\overset{\text{H}}{\text{C}}=\overset{\text{H}}{\text{C}}-$ に基づく吸収が現れた。

次に、上記のようにして得られたLB膜で被覆したFET素子基板の他面の酸化シリコン膜を機械的に剥離して、裸のシリコン表面にガリウムとインジウムの合金を

塗布してオーミック接触を取った。

以上のようにして、シリコン板自体が5個のFET素子の共通ゲート電極として働き、シリコン板上の酸化シリコン膜が5個のFET素子の共通のゲート絶縁膜として働くようにした。このようにして、第1図に示すFET素子を得た。ここで1及び2は基板兼ゲート電極であるシリコン板であり、3は絶縁膜である酸化シリコン膜、4は半導体層として働くポリ(2, 5-チェニレンビニレン)前駆体のLB膜から得られたポリ(2, 5-チェニレンビニレン)のLB膜、5及び6はそれぞれソース及びドレイン電極として働く金膜である。

実施例 3

第1図に示す構造のFET素子を得るための、実施例2とは異なる加熱処理を用いた他の実施例を以下に示す。

実施例2と同様にして、LB法により、FET素子基板上にポリ(2, 5-チェニレンビニレン)のLB膜(100層)を得た。ただし、この実施例ではFET素子基板上の金電極を厚さ200Åのクロムを下地とする厚さ300Åの白金電極に代えている。

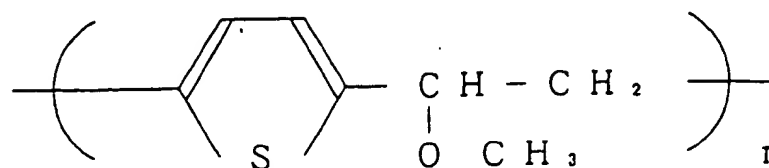
次に、ポリ(2, 5-チェニレンビニレン)前駆体のLB膜で被覆したFET素子基板を赤外線イメージ炉にて、約1.5時間、塩化水素ガスを含む窒素気流下、90℃の条件で加熱処理した。この結果、前駆体LB膜の色は、淡黄色から金属光沢を帯びた暗紫色に変わった。上記加

熱処理によって、ポリ（２，５－チェニレンビニレン）前駆体のＬＢ膜はポリ（２，５－チェニレンビニレン）のＬＢ膜へと完全に变化した。これに伴い、赤外線吸収スペクトルにおいて、 1590 cm^{-1} に $-\overset{\text{H}}{\text{C}}=\overset{\text{H}}{\text{C}}-$ に基づく吸収が現れ、 1099 cm^{-1} の >C-O-C< に基づくと思われる吸収が消失した。

以下、実施例２と同様にして、シリコン板自体が５個のＦＥＴ素子の共通ゲート電極として働き、シリコン板上の酸化シリコン膜が５個のＦＥＴ素子の共通のゲート絶縁膜として働くようにし、第１図に示す構造のＦＥＴ素子を得た。ここで１及び２は基板兼ゲート電極であるシリコン板であり、３は絶縁膜である酸化シリコン膜、４は半導体層として働くポリ（２，５－チェニレンビニレン）前駆体のＬＢ膜から得られたポリ（２，５－チェニレンビニレン）のＬＢ膜、５及び６はそれぞれソース及びドレイン電極として働く白金膜である。

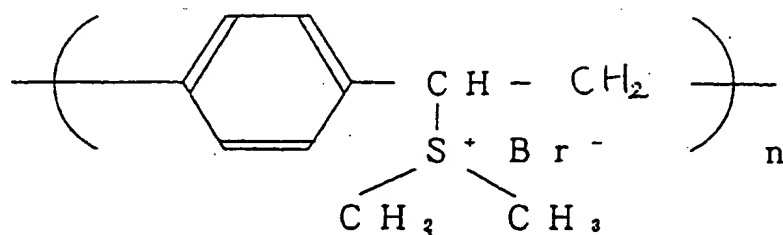
実施例４

実施例１で用いたものと同様のＦＥＴ素子基板の温度及び雰囲気温度を約 60°C に設定し、次の化学構造からなる



ポリ（２，５－チェニレンビニレン）前駆体の約２wt％

ジメチルホルムアミド（DMF）溶液を用いてスピニングキャスト法にて前駆体フィルムをFET素子基板上に得た。このとき、スピナーの回転数は毎分2000回転とした。得られた前駆体フィルムの膜厚は、約800Åであった。溶媒をある程度蒸発させた後、さらに、上記FET素子基板の温度及び雰囲気度を約60℃に設定し、次の化学構造からなる



ポリ（p-フェニレンビニレン）前駆体の約2wt%水溶液を用いてスピニングキャスト法にてポリ（p-フェニレンビニレン）前駆体フィルムをポリ（2,5-チエニレンビニレン）前駆体上に得た。このとき、スピナーの回転数は毎分2000回転とした。得られた前駆体フィルムの膜厚は700Åであった。

次に、ポリ（2,5-チエニレンビニレン）前駆体フィルムとポリ（p-フェニレンビニレン）前駆体フィルムの2層膜で被覆したFET素子基板を赤外線イメージ炉にて、窒素気流下、210℃の条件で約2時間加熱した。この結果、フィルムの色は、淡黄色から暗褐色ないし暗紫色に変わった。上記加熱処理によって、ポリ（2,5-チエニレンビニレン）前駆体フィルムとポリ（p-フ

ェニレンビニレン) 前駆体フィルムからなる積層膜は、それぞれポリ(2, 5-チェニレンビニレン) フィルムとポリ(p-フェニレンビニレン) からなる積層膜へと変わり、これに伴い赤外線吸収スペクトルにおいて、 1590 cm^{-1} にポリ(2, 5-チェニレンビニレン) のC=Cに基づく吸収が、 970 cm^{-1} にポリ(p-フェニレンビニレン) のC=Cに基づく吸収がそれぞれ現れた。一方、加熱処理による反応中、ポリ(2, 5-チェニレンビニレン) から成る半導体層以外の素子構成部には酸による腐蝕等の悪影響はなかった。

次に、上記のようにして得られたフィルムで被覆したFET素子基板の他面の酸化シリコン膜を機械的に剝離して、裸のシリコン表面にガリウムとインジウムの合金を塗布してオーミック接触を取った。

以上のようにしてシリコン板自体が5個のFET素子の共通のゲート電極として働き、シリコン板上の酸化シリコン膜が5個のFET素子の共通のゲート絶縁膜として働くようにした。このようにして、第3図に示すFET素子を得た。ここで1及び2は基板兼ゲート電極であるシリコン板であり、3は絶縁膜である酸化シリコン膜、4は半導体層として働くポリ(2, 5-チェニレンビニレン) 前駆体膜から得られたポリ(2, 5-チェニレンビニレン) 膜、5及び6はそれぞれソース及びドレイン電極として働く金膜、13は酸供与膜として働く(p-フ

エニレンビニレン) 前駆体膜から得られたポリ (p-フェニレンビニレン) 膜である。

実施例 5

第 2 図に示す構造の液晶表示装置の作製法の一例を以下に示す。抵抗率が $4 \sim 8 \Omega \text{ cm}$ であり、厚さ $300 \mu \text{ m}$ の n 型シリコン板 ($25 \text{ mm} \times 40 \text{ mm}$) を熱酸化して厚さ約 900 \AA の酸化膜 (SiO_2 膜) を両面に形成させた。この表面上に第 2 図におけるソース電極 5, ドレイン電極 6, 及び電極 7 となるべき金電極 (下地クロム 200 \AA , 金 300 \AA) を実施例 1 と同様にして設けた。ここでソース電極 5 及びドレイン電極 6 は、いずれも有効面積 $2 \text{ mm} \times 4 \text{ mm}$ であり、 $3 \mu \text{ m}$ 幅で分離されている。即ち、FET 素子としたときにチャネル幅が 2 mm であり、チャネル長が $3 \mu \text{ m}$ になるようにした。また、電極 7 は有効面積 $17 \times 19 \text{ mm}^2$ 単位である。以下、この基板を液晶表示装置基板と呼ぶ。ポリ (2, 5-フェニレンビニレン) 前駆体の約 2 wt% の DMF 溶液を用いて、実施例 1 と同様にして、上記液晶表示装置基板上にポリ (2, 5-フェニレンビニレン) 前駆体フィルムを得た。

次に、この液晶表示装置基盤の FET 素子部以外のポリ (2, 5-フェニレンビニレン) 前駆体フィルムをクロロホルムを用いて洗浄後、この基板を赤外線イメージ炉を用いて、約 1% の塩化水素ガスを含む窒素気流中で約 1 時間、 200°C で加熱した。以上の操作により、FET

T素子部のみポリ(2,5-フェニレンビニレン)フィルムで被覆し、液晶表示装置の内、第2図におけるFET素子部11を完成させた。

次に、液晶表示装置基板とこれと対向させるITO9を形成したガラス板10上にSiO₂を斜め蒸着し液晶の配向が起こるように配向処理を施した。そして、液晶表示装置基板とこれと対向させるITO9を形成したガラス板10との間に10μm厚のポリエステルフィルムを液晶表示部が開口部となるように一部分だけ残してはさみ込み、その周辺を同じく一部分だけ残してエポキシ樹脂で封止した。そして、この未封止部分からゲスト・ホスト液晶(Merck社製 商品名 ZLI1841)を注入してエポキシ樹脂で封止し、ガラス板10上に偏光板をはり合わせ、液晶表示装置の内、液晶表示部12を完成させた。

最後に、液晶表示装置基板の裏面のSiO₂の一部をはがし、ここにガリウムとインジウムの合金を塗布して、オーミックコンタクトを取り、これに銀ペーストでリード線を取り付けて、液晶表示装置を完成させた。

実施例 6

ポリ(2,5-フェニレンビニレン)前駆体の約2wt%のDMF溶液0.5mlとクロロホルム9.5mlを混合した溶液を展開液として用いて、実施例1と同様にして、上記液晶表示装置基板上にポリ(2,5-フェニレンビニレン)前駆体のLB膜(100層)を得た。

次に、この液晶表示装置基板のFET素子部以外のポリ(2,5-フェニレンビニレン)前駆体のLB膜をクロロホルムを用いて洗浄後、この基板を赤外線イメージ炉を用いて、約1%の塩化水素ガスを含む窒素気流中で1.5時間、90℃で加熱した。以上の操作により、FET素子部のみポリ(2,5-フェニレンビニレン)のLB膜で被覆し、液晶表示装置の内、第2図におけるFET素子部11を完成させた。

次に、液晶表示装置基板とこれと対向させるITO9を形成したガラス板10上にSiO₂を斜め蒸着し液晶の配向が起こるように配向処理を施した。そして、液晶表示装置基板とこれと対向させるITO9を形成したガラス板10との間に10μm厚のポリエステルフィルムを液晶表示部が開口部となるように一部分だけ残してはさみ込み、その周辺を同じく一部分だけ残してエポキシ樹脂で封止した。そして、この未封止部分からゲスト・ホスト液晶(Merck社製 商品名 ZLI1841)を注入してエポキシ樹脂で封止し、ガラス板10上に偏光板をはり合わせ、液晶表示装置の内、液晶表示部12を完成させた。

最後に、液晶表示装置基板の裏面のSiO₂の一部をはがし、ここにガリウムとインジウムの合金を塗布して、オーミックコンタクトを取り、これに銀ペーストでリード線を取り付けて、液晶表示装置を完成させた。

実施例 7

第5図に示す構造の液晶表示装置の作製法の一例を以下に示す。上記液晶表示装置基板上にポリ(2,5-フェニレンビニレン)前駆体の約2wt%のDMF溶液を用い、実施例4と同様にしてポリ(2,5-フェニレンビニレン)前駆体フィルムを得た。次に、このポリ(2,5-フェニレンビニレン)前駆体フィルム上にポリ(パラフェニレンビニレン)前駆体の約2wt%の水溶液を用い、実施例4と同様にしてポリ(パラフェニレンビニレン)前駆体フィルムを得た。この液晶表示装置基板のFET素子部以外のポリ(2,5-フェニレンビニレン)前駆体ならびにポリ(パラフェニレンビニレン)前駆体フィルムをクロロホルムを用いて洗浄後、この基板を赤外線イメージ炉を用いて窒素気流中で約1時間、200℃で加熱した。以上の操作により、FET素子部のみポリ(2,5-フェニレンビニレン)及びポリ(パラフェニレンビニレン)で被覆し、液晶表示装置の内第5図におけるFEB素子部11を完成させた。次いで、実施例5と同様の操作により、液晶表示装置の内、液晶表示部12を完成させた。さらに、実施例5と同様に、液晶表示装置を完成させた。

比較例

比較例の素子は前述の文献(Appl. Phys. Lett., 49巻 1210頁 1986年)に従って作製した。即ち、75mlのアセトニトリルに、モノマーとして2,2'-ジチオフ

エンを0.15 g 溶かし、電界質として過塩素酸テトラエチルアンモニウムを0.55 g 溶かしてこれを反応溶液とした。この反応溶液に高純度窒素ガスを通気して充分脱気した後、これに実施例 1 で得た F E T 素子基板を浸した。次に F E T 素子基板上の 5 対の金電極を作用極として対極の白金電極 (10 mm × 20 mm) との間に一定電流 (100 μ A / cm^2) を 480 秒間流して電解重合を行い、5 対の金電極上及びその周辺の酸化シリコン膜上に厚さ約 1400 Å のポリチオフェン膜を得た。このポリチオフェン膜には電解重合と同時に多量の過塩素酸イオンがドーピングされているため、電解重合後、ただちに 5 対の金電極の電位を飽和カロメル電極に対して 0 V に設定して脱ドーピングを行い、ポリチオフェン膜に半導体程度の電導度を持たせた。得られた F E T 素子は、アセトニトリルで 2 回洗浄した後、真空デシケータに入れて乾燥させた。

次に、実施例 1 ~ 7 及び比較例によって得られたデバイスの特性について述べる。

まず、実施例 1 にて得られた 5 個の F E T 素子の内の一つの F E T 素子の電気特性を第 6 図に示す。この図において、横軸はソース・ドレイン間電圧 (V_{DS}) であり、縦軸はソース・ドレイン間電流 (I_s) である。ゲート電圧 (V_g) が 0 V の時には、 V_{DS} が大きくなっても I_s は殆ど流れないが、負の V_g を印加した時には大きな I_s が流れるようになる。しかも、 V_{DS} が大きな領域

では I_s の飽和が観られ、典型的なエンハンス型の電界効果型トランジスタの電気特性が得られた。図から判るように、印加するゲート電圧によってソース・ドレイン間電流を大きく変調させることができる。第6図の特性は作製した5個のFET素子の内の一つの素子の特性であるが、残りのFET素子の特性についても測定したところ第6図の特性とほぼ同じ特性を示した。また、これらの素子を空気中に約1ヶ月放置した後、再びその電気特性を測定したところ、その特性は殆ど変化せず本実施例で得られた素子が極めて安定性に優れることが判った。

次に実施例2にて得られた5個のFET素子の内の一つのFET素子の電気特性及び実施例3にて得られた5個のFET素子の内の一つのFET素子の電気特性をそれぞれ第7図及び第8図に示す。これらの図において、横軸はソース・ドレイン間電圧 (V_{ds}) であり、縦軸はソース・ドレイン間電流 (I_s) である。ゲート電圧 (V_g) が0Vの時には、 V_{ds} が大きくなっても I_s は殆ど流れないが、負の V_g を印加した時には大きな I_s が流れるようになる。しかも、 V_{ds} が大きな領域では I_s の飽和が観られ、典型的なエンハンス型の効果型トランジスタの電気特性が得られた。これらの図から判るように、印加するゲート電圧によってソース・ドレイン間電流を大きく変調させることができる。第7図及び第8図の特性はそれぞれの実施例にて作製した5個のFET素

子の内の一つの素子の特性であるが、残りのFET素子の特性についても測定したところ第7図及び第8図の特性とほぼ同じ特性を示した。また、これらの素子を空气中に約1ヶ月放置した後、再びその電気特性を測定したところ、その特性は殆ど変化せず本実施例で得られた素子が極めて安定性に優れることが判った。

第9図には、実施例4で作製した5個のFET素子の内の一つのFET素子の電気特性を示す。この図において、横軸はソース・ドレイン間電圧(V_{DS})であり、縦軸はソース・ドレイン間電流(I_S)である。実施例1と同様典型的なエンハンス型の電界効果型トランジスタの電気特性が得られた。図から判るように、実施例1の第6図と比較し、印加するゲート電圧によってソース・ドレイン間電流を大きく変調できる。

第10図には実施例1及び実施例4で作製した5個のFET素子の内の一つのFET素子と比較例において作製したFET素子の、ソース・ドレイン間電圧一定($-50V$)条件下のソース・ドレイン間電流-ゲート電圧特性を示す。この図において、横軸はゲート電圧(V_G)であり、縦軸はソース・ドレイン間電流(I_S)である。第10図から明らかなように、実施例1で得られたFET素子においてはゲート電圧によって変調できるソース・ドレイン間電流は4桁以上に達し、さらに実施例4で得られたFET素子においては、変調できるソース・ドレ

イン電流は5桁以上に達したのに対し、比較例の従来FET素子では、ゲート電圧によって変調できるソース・ドレイン間電流は2桁半にすぎない。このように、実施例1及び実施例4で得られるFET素子は従来FET素子に比べ特性が大幅に向上した。

次に第11図は、実施例2で作製した5個のFET素子の内の一つのFET素子と実施例3で作製した5個のFET素子の内の一つのFET素子及び比較例において作製したFET素子の、ソース・ドレイン間電圧一定(50V)の条件下のソース・ドレイン間電流-ゲート電圧特性を示す。この図において、横軸はゲート電圧(V_g)であり、縦軸はソース・ドレイン間電流(I_s)である。第11図から明らかなように、実施例2及び実施例3で得られたFET素子においてはゲート電圧によって変調できるソース・ドレイン間電流は4桁以上に達したのに対し、比較例の従来FET素子では、ゲート電圧によって変調できるソース・ドレイン間電流は2桁半にすぎない。このように、実施例2及び実施例3で得られるFET素子は従来FET素子に比べ特性が大幅に向上した。

第12図は実施例5で得られた液晶表示装置中のFET素子のゲート電圧を変えたときのソース・ドレイン間電流-ソース・ドレイン間電圧特性を示す特性図である。この図において、横軸はソース・ドレイン間電圧(V_{ds})、縦軸はソース・ドレイン間電流(I_s)を示す。図にお

いてFET素子のゲート電圧を0Vにしている時にはソース電極とドレイン電極の間に電圧を印加しても、ソース・ドレイン間電流は殆ど流れないが、負のゲート電圧を印加すればするほど大きなソース・ドレイン間電流が流れた。このFET素子と液晶表示部は直列に接続しているため、液晶表示部のガラス板10上の透明電極9とFET素子のソース電極5の間に液晶8を駆動するのに十分な電圧を印加しておき、ゲート電極2に負電圧を印加すると液晶表示部に電圧がかかり、液晶8が配向して液晶表示部が駆動したが、ゲート電圧を0Vにすると液晶表示部に電圧がかからず、液晶表示部の駆動は止まった。即ち、液晶の駆動を、付属させた π -共役系高分子膜を半導体層とするFET素子で制御することができた。また、安定性の面でも本実施例の液晶表示装置は1カ月以上経過しても安定に動作した。

第13図は実施例6で得られた液晶表示装置中のFET素子のゲート電圧を変えたときのソース・ドレイン間電流-ソース・ドレイン間電圧特性を示す特性図である。この図において、横軸はソース・ドレイン間電圧(V_{DS})、縦軸はソース・ドレイン間電流(I_S)を示す。図においてFET素子のゲート電圧を0Vにしている時にはソース電極とドレイン電極の間に電圧を印加しても、ソース・ドレイン間電流は殆ど流れないが、負のゲート電圧を印加すればするほど大きなソース・ドレイン間電流が

流れた。このFET素子と液晶表示部は直列に接続しているため、液晶表示部のガラス板10上の透明電極9とFET素子のソース電極5の間に液晶8を駆動するのに十分な電圧を印加しておき、ゲート電極2に負電圧を印加すると液晶表示部に電圧がかかり、液晶8が配向して液晶表示部が駆動したが、ゲート電圧を0Vにすると液晶表示部に電圧がかからず、液晶表示部の駆動は止まった。即ち、液晶駆動を、付属させた π -共役系高分子のLB膜を半導体層とするFET素子で制御することができた。また、安定性の面でも本実施例の液晶表示装置は1カ月以上経過しても安定に動作した。

第14図は実施例7で得られた液晶表示装置中のFET素子のゲート電圧を変えたときのソース・ドレイン間電流-ソース・ドレイン間電圧特性を示す特性図である。この図において、横軸はソース・ドレイン間電圧(V_{DS})、縦軸はソース・ドレイン間電流(I_S)を示す。図から判るように、実施例5の第12図と比べ、ゲート電圧を印加したときのソース・ドレイン間電流値が大きくなり特性が向上した。また、実施例5と同様液晶の駆動を本FET素子で制御することができた。また、安定性も実施例5と同様であった。

なお実施例5～7ではFET素子及び液晶表示部を一つだけ作製して液晶表示装置としたが、同様の手法を用いて複数のFET素子及び液晶表示部を作製して液晶表示

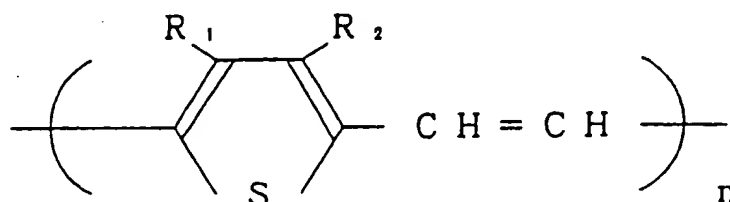
装置とすることも可能である。ただし、その場合はフォトレジストを用いたパターンニングなどの処理が必要である。

産業上の利用可能性

以上のように、本発明は有機半導体を用いた電界効果型トランジスタ及びこれを用いた液晶表示装置に関するものであり、電界効果トランジスタや、それを駆動素子とする液晶表示装置に適用される。

請 求 の 範 囲

1. ソース電極，ドレイン電極，ソース電極とドレイン電極間の電流通路であり、かつ溶剤可溶な前駆体から得られる π -共役系高分子で形成される半導体層、この半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を備えた電界効果型トランジスタ。
2. 溶剤可溶な前駆体から得られる π -共役系高分子は、一般式



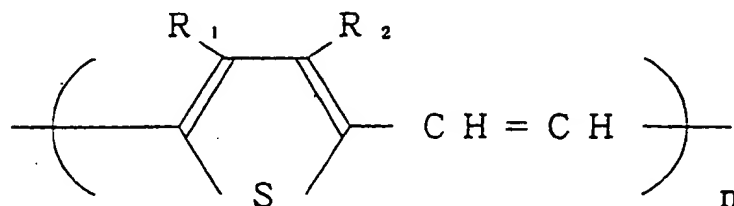
(但し、 R_1 及び R_2 は $-H$ ，アルキル基，アルコキシ基の内の一種、 n は10以上の整数) で表されるものである 請求の範囲第1項記載の電界効果型トランジスタ。

3. ソース電極，ドレイン電極，ソース電極とドレイン電極間の電流通路であり、かつ溶剤可溶な前駆体のLB膜から得られる π -共役系高分子のLB膜で形成される半導体層、この半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を備えた電界効果型トランジスタ。

4. ソース電極，ドレイン電極，ソース電極とドレイン電

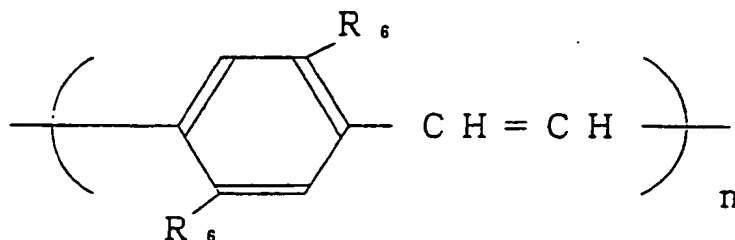
極間の電流通路であり、かつ溶剤可溶な前駆体から得られる π -共役系高分子で形成される半導体層、この半導体層に接し、上記溶剤可溶な前駆体から π -共役系高分子を得る反応において、酸を供与する酸供与膜、上記半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を備えた電界効果型トランジスタ。

5. 溶剤可溶な前駆体から得られる π -共役系高分子は、一般式



(但し、 R_1 及び R_2 は $-H$ 、アルキル基、アルコキシ基の内の一種、 n は10以上の整数) で表されるものである請求の範囲第4項記載の電界効果型トランジスタ。

6. 酸を供与した膜は、一般式

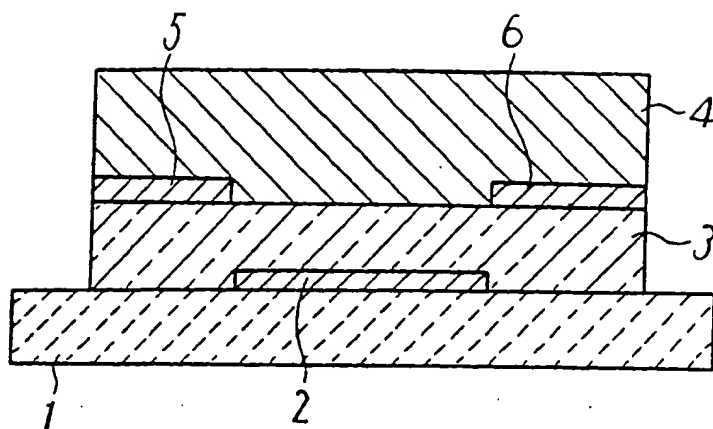


(但し、 R_6 は $-H$ 、アルキル基、アルコキシ基の内の一種、 n は10以上の整数) で表される π -共役系高分子である請求の範囲第4項記載の電界効果型トランジスタ。

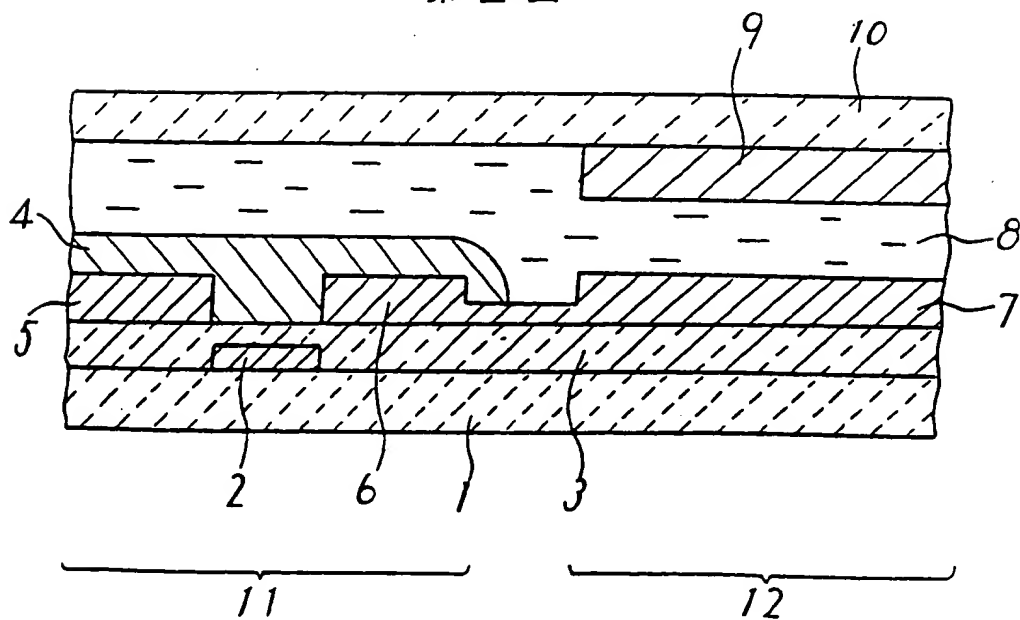
7. ゲート絶縁膜が酸供与膜を兼ねている請求の範囲第4項記載の電界効果型トランジスタ。
8. ソース電極, ドレイン電極, ソース電極とドレイン電極間の電流通路であり、かつ溶剤可溶な前駆体から得られる π -共役系高分子で形成される半導体層、この半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を有する電界効果型トランジスタからなる駆動部、並びに上記ソース電極及びドレイン電極の内のいずれか一方と直列に接続し、上記ゲート電極に印加される電圧を変化させることにより制御される液晶表示部を備えた液晶表示装置。
9. ソース電極, ドレイン電極, ソース電極とドレイン電極間の電流通路であり、かつ溶剤可溶な前駆体のLB膜から得られる π -共役系高分子のLB膜で形成される半導体層、この半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を有する電界効果型トランジスタからなる駆動部、並びに上記ソース電極及びドレイン電極の内のいずれか一方と直列に接続し、上記ゲート電極に印加される電圧を変化させることにより制御される液晶表示部を備えた液晶表示装置。
10. ソース電極, ドレイン電極, ソース電極とドレイン電極間の電流通路であり、かつ溶剤可溶な前駆体から得

られる π -共役系高分子で形成される半導体層、この半導体層に接し、上記溶剤可溶な前駆体から π -共役系高分子を得る反応において、酸を供与する酸供与膜、上記半導体層に対向する絶縁膜、及びこの絶縁膜の上記半導体層と反対側に設け、上記半導体層の電導度を印加する電圧により制御するゲート電極を有する電界効果型トランジスタからなる駆動部、並びに上記ソース電極及びドレイン電極の内のいずれか一方と直列に接続し、上記ゲート電極に印加される電圧を変化させることにより制御される液晶表示部を備えた液晶表示装置。

第 1 図

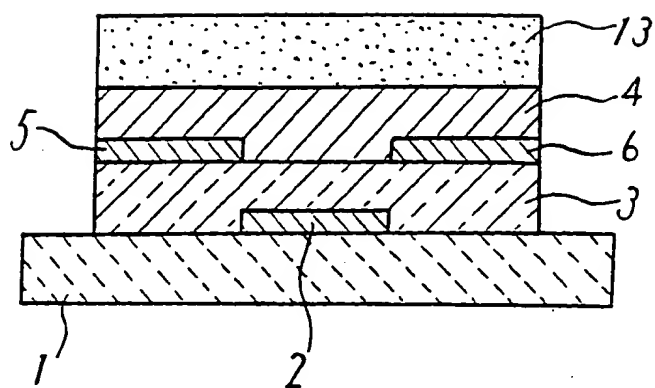


第 2 図

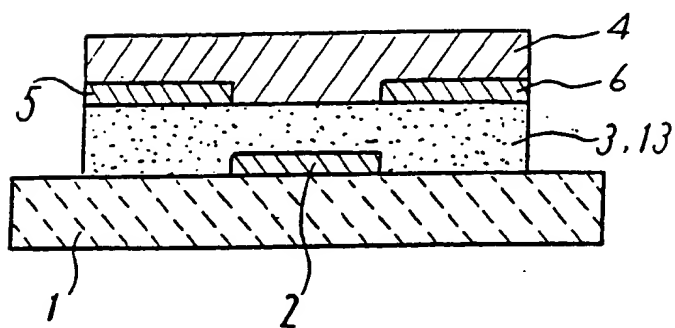


2 / 13

第 3 図

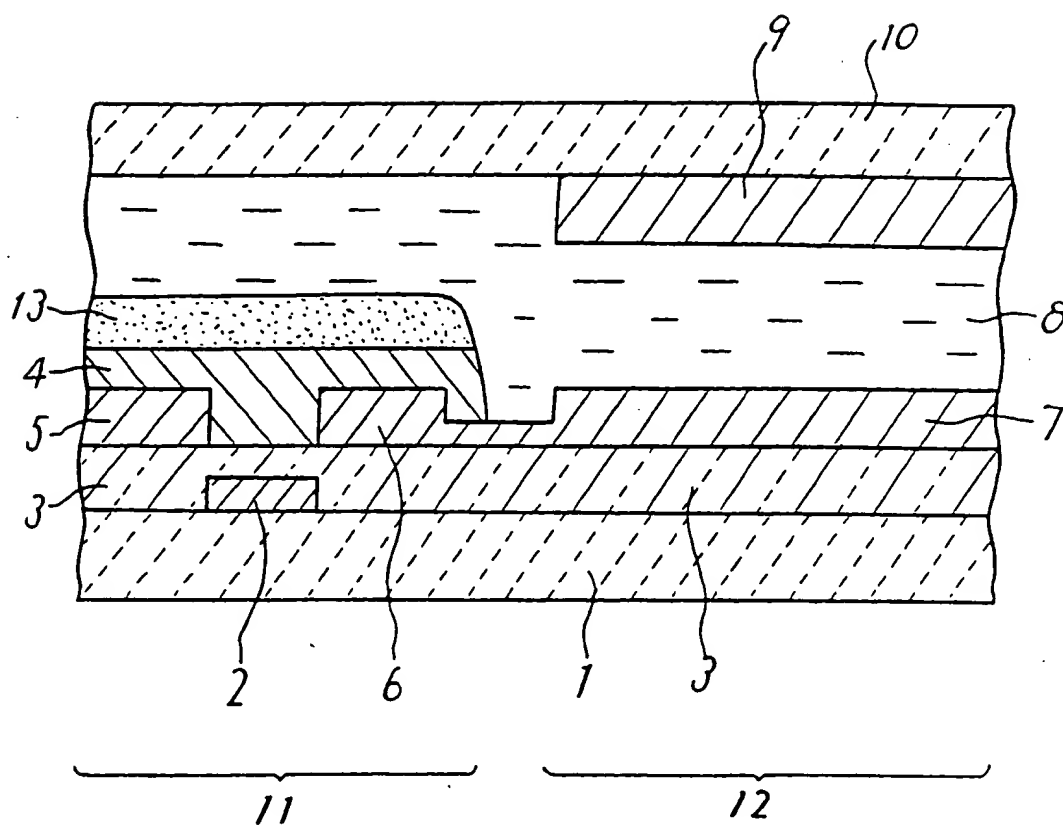


第 4 図



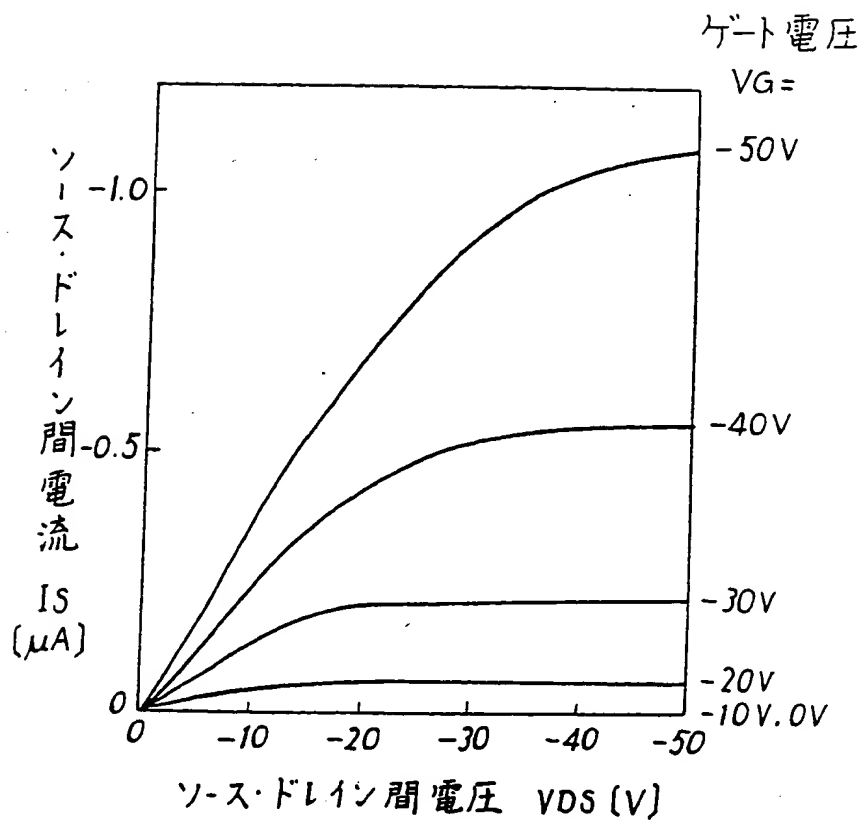
3 / 13

第 5 図



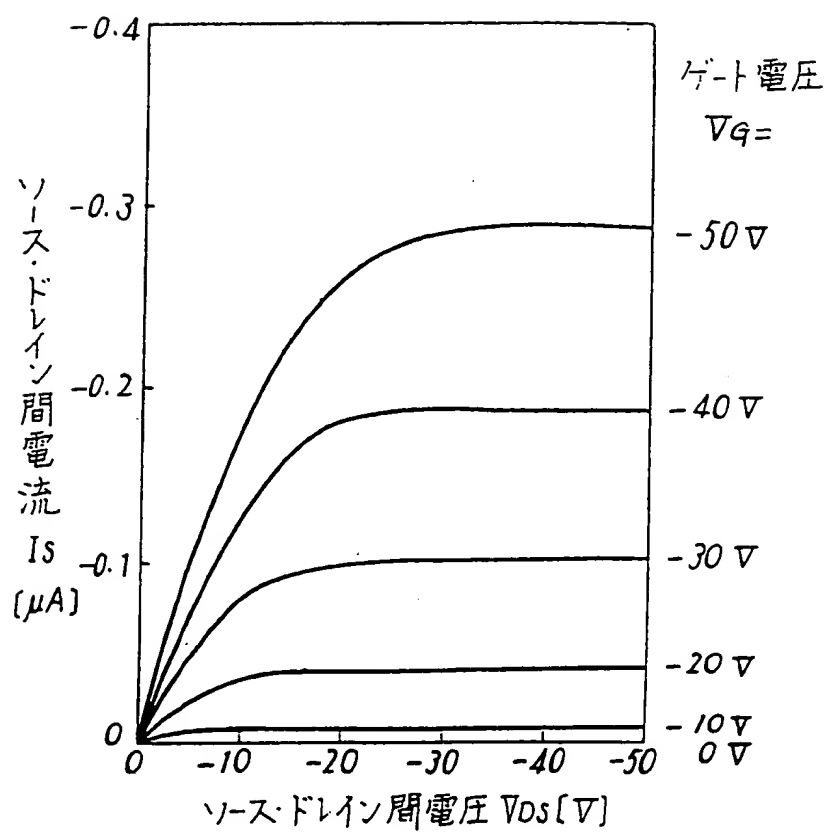
4 / 13

第 6 図

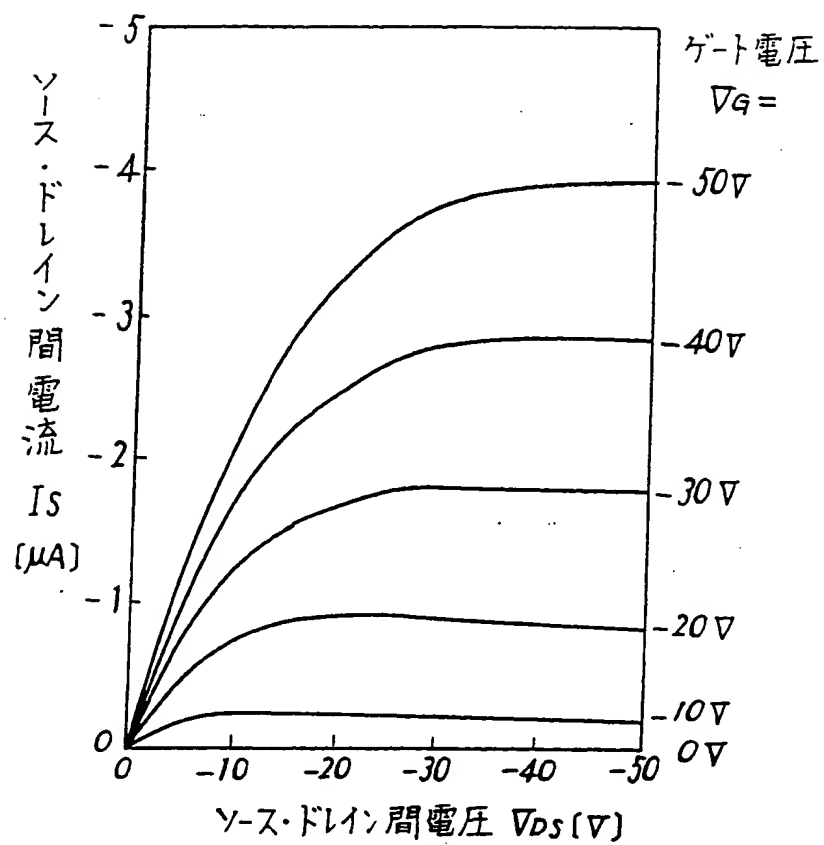


5 / 13

第 7 図

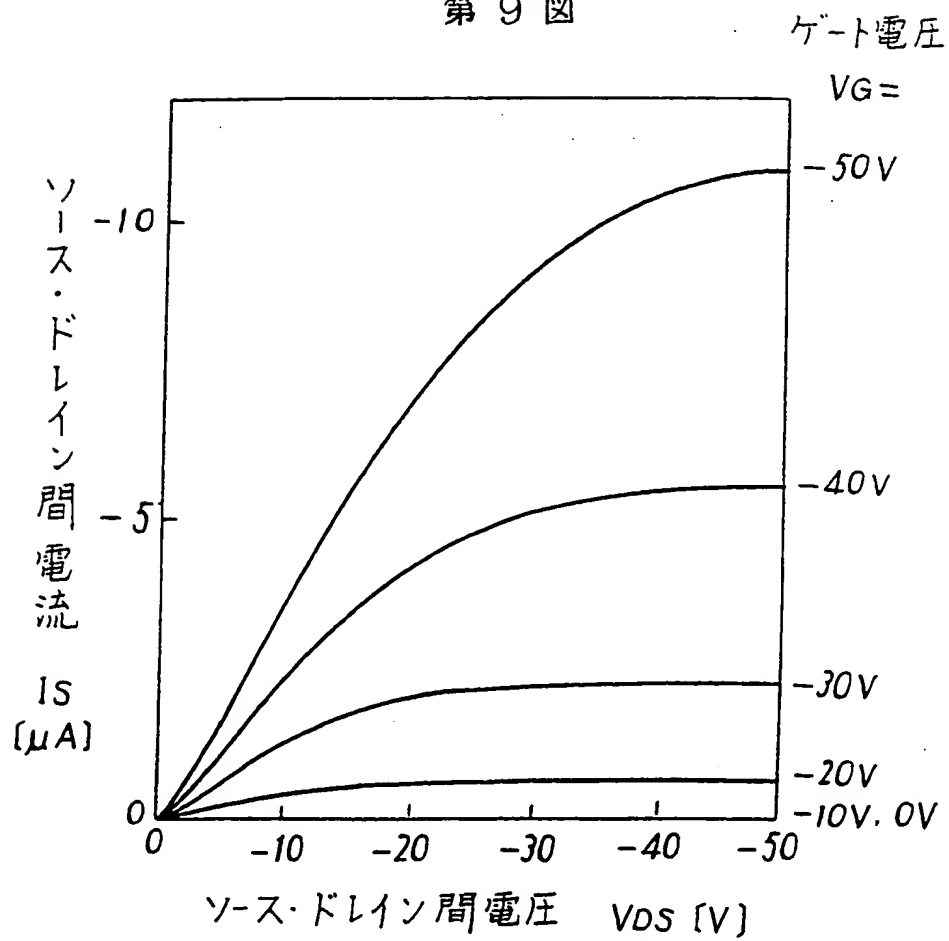


第 8 図



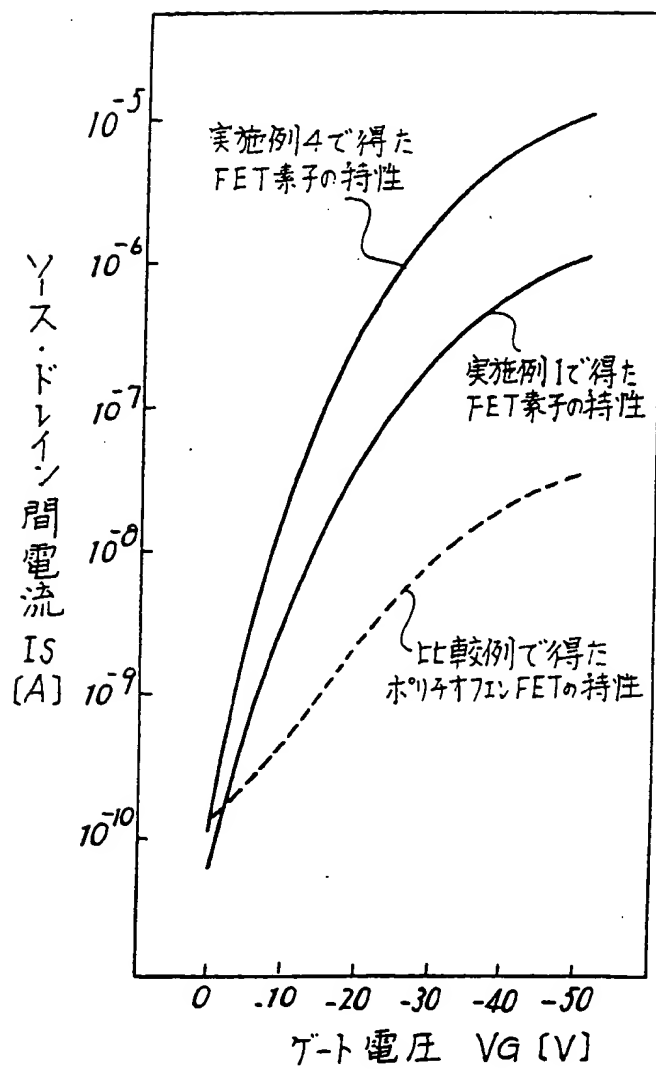
7/13

第 9 図

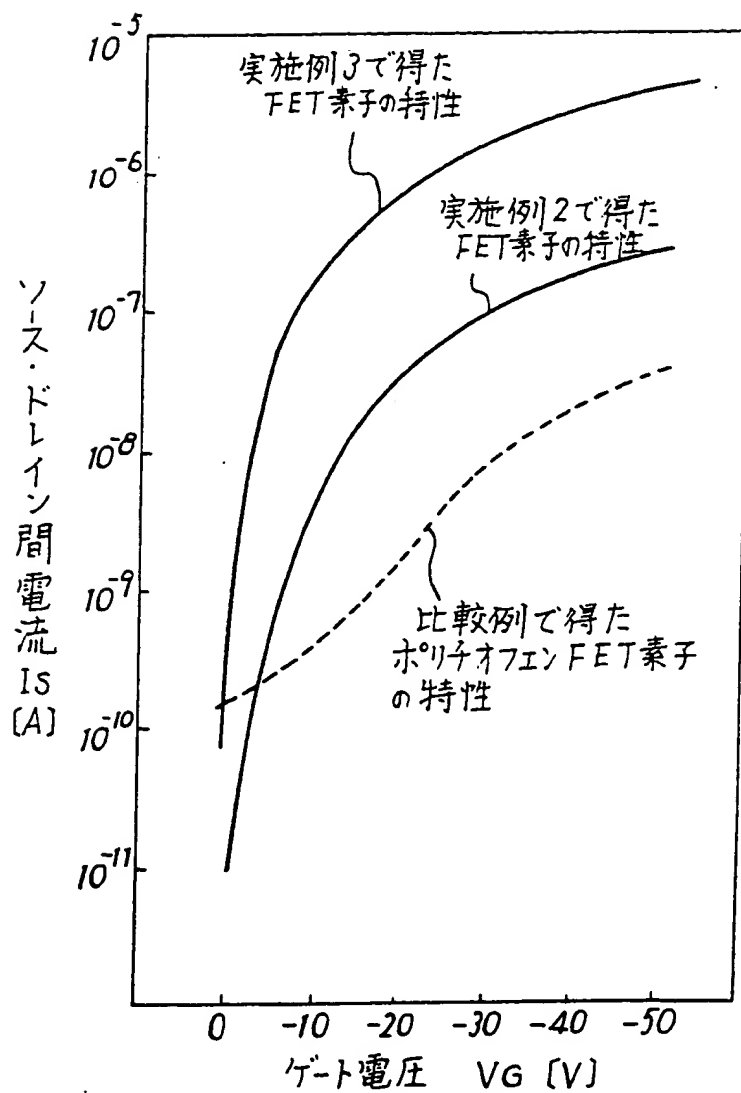


8 / 13

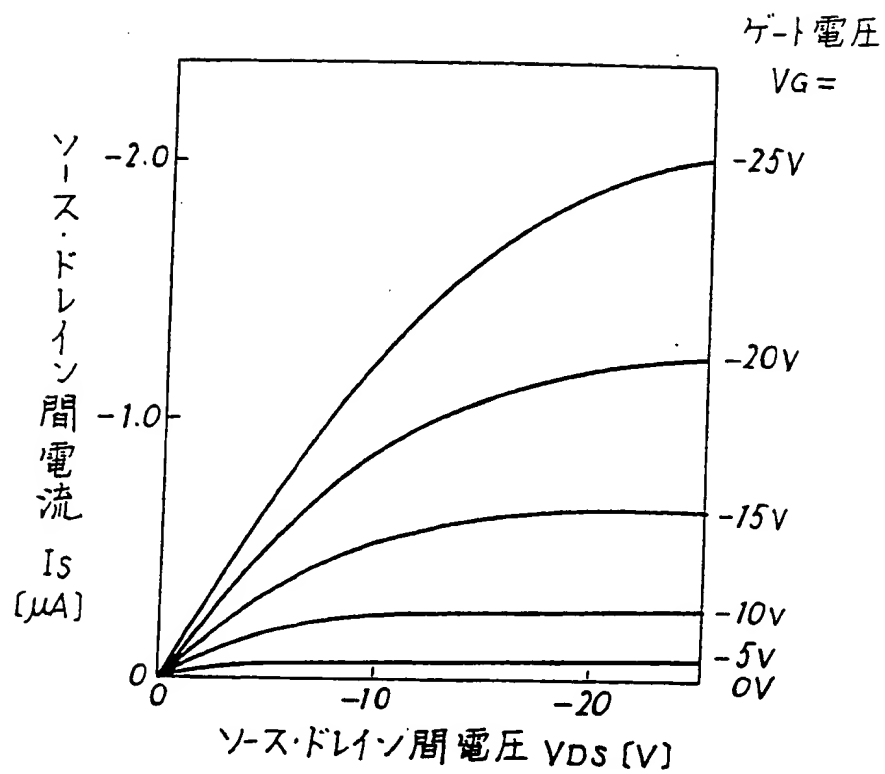
第10図



第11図

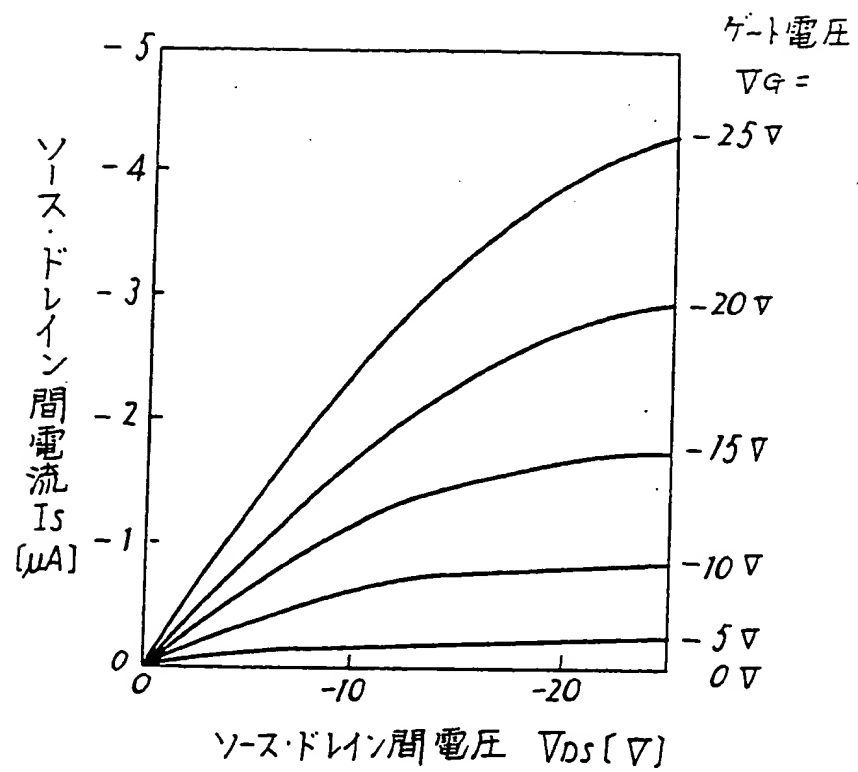


第12図



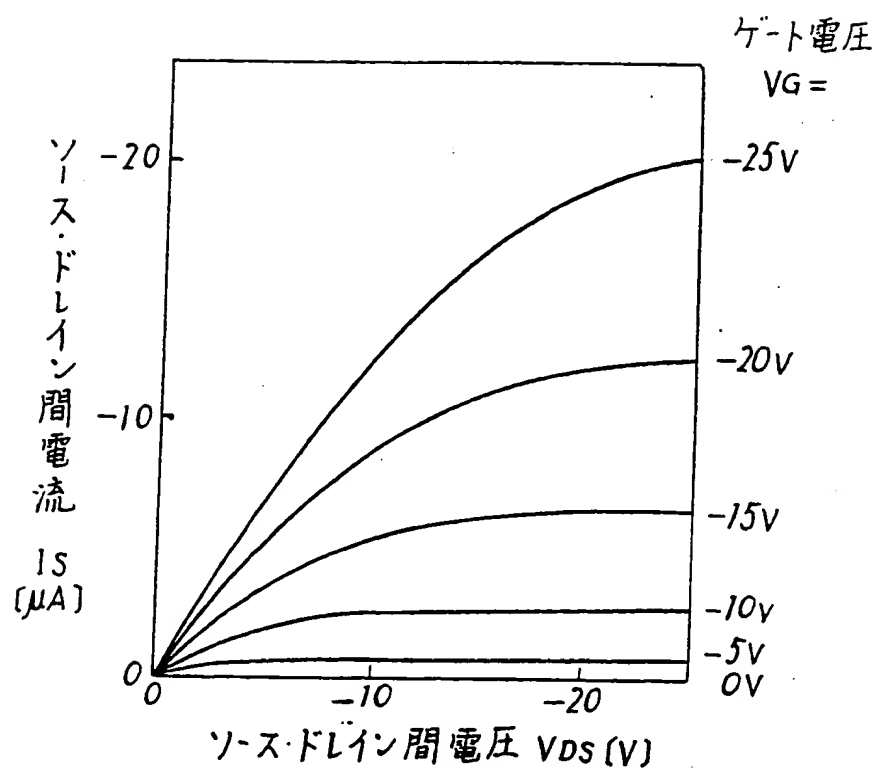
11 / 13

第13図



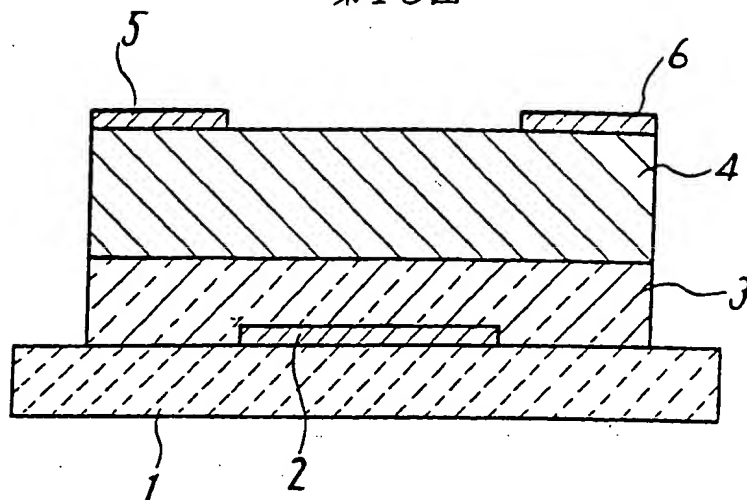
12 / 13

第14図

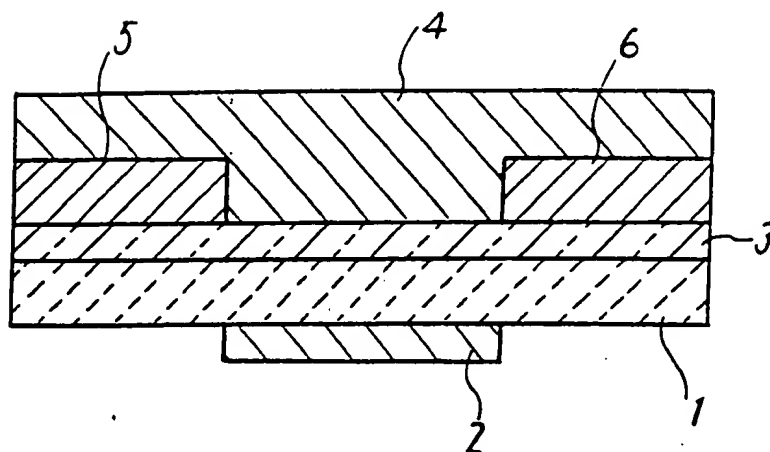


13 / 13

第15図



第16図



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP90/00017

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁴ According to International Patent Classification (IPC) or to both National Classification and IPC <div style="text-align: center; margin-top: 10px;"> Int. Cl⁵ H01L29/78, H01L29/28, G02F1/136 </div>														
II. FIELDS SEARCHED <div style="text-align: center; margin-top: 10px;">Minimum Documentation Searched ⁷</div> <table style="width: 100%; border: none;"> <tr> <td style="width: 30%; border: none;">Classification System</td> <td style="border: none;">Classification Symbols</td> </tr> <tr> <td style="border: none; text-align: center; padding: 10px;">IPC</td> <td style="border: none; text-align: center; padding: 10px;">H01L29/78</td> </tr> </table> <div style="text-align: center; margin-top: 10px;">Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸</div>			Classification System	Classification Symbols	IPC	H01L29/78								
Classification System	Classification Symbols													
IPC	H01L29/78													
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹ <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category ⁶</th> <th style="width: 70%;">Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²</th> <th style="width: 20%;">Relevant to Claim No. ¹³</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; vertical-align: top;">P</td> <td>JP, A, 1-259563 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)</td> <td style="text-align: center; vertical-align: top;">1 - 10</td> </tr> <tr> <td style="text-align: center; vertical-align: top;">P</td> <td>JP, A, 1-259564 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)</td> <td style="text-align: center; vertical-align: top;">1 - 10</td> </tr> <tr> <td style="text-align: center; vertical-align: top;">A</td> <td>JP, A, 63-76378 (Mitsubishi Electric Corporation), 6 April 1988 (06. 04. 88), (Family: none)</td> <td style="text-align: center; vertical-align: top;">1 - 10</td> </tr> </tbody> </table>			Category ⁶	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³	P	JP, A, 1-259563 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)	1 - 10	P	JP, A, 1-259564 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)	1 - 10	A	JP, A, 63-76378 (Mitsubishi Electric Corporation), 6 April 1988 (06. 04. 88), (Family: none)	1 - 10
Category ⁶	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³												
P	JP, A, 1-259563 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)	1 - 10												
P	JP, A, 1-259564 (Mitsubishi Electric Corporation), 17 October 1989 (17. 10. 89)	1 - 10												
A	JP, A, 63-76378 (Mitsubishi Electric Corporation), 6 April 1988 (06. 04. 88), (Family: none)	1 - 10												
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>¹⁰ Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </div> </div>														
IV. CERTIFICATION <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;">Date of the Actual Completion of the International Search</td> <td style="width: 50%; border: none;">Date of Mailing of this International Search Report</td> </tr> <tr> <td style="border: none; text-align: center;">April 5, 1990 (05. 04. 90)</td> <td style="border: none; text-align: center;">April 23, 1990 (23. 04. 90)</td> </tr> <tr> <td style="border: none;">International Searching Authority</td> <td style="border: none;">Signature of Authorized Officer</td> </tr> <tr> <td style="border: none; text-align: center;">Japanese Patent Office</td> <td style="border: none;"></td> </tr> </table>			Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report	April 5, 1990 (05. 04. 90)	April 23, 1990 (23. 04. 90)	International Searching Authority	Signature of Authorized Officer	Japanese Patent Office					
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report													
April 5, 1990 (05. 04. 90)	April 23, 1990 (23. 04. 90)													
International Searching Authority	Signature of Authorized Officer													
Japanese Patent Office														

国 際 調 査 報 告

国際出願番号PCT/JP 90/00017

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. C^L H01L29/78, H01L29/28, G02F1/136		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	H01L29/78	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
P	JP, A, 1-259563 (三菱電機株式会社), 17. 10月. 1989 (17. 10. 89)	1-10
P	JP, A, 1-259564 (三菱電機株式会社), 17. 10月. 1989 (17. 10. 89)	1-10
A	JP, A, 63-76378 (三菱電機株式会社), 6. 4月. 1988 (06. 04. 88), (ファミリーなし)	1-10
※ 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に及ぼす文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
05. 04. 90	23. 04. 90	
国際調査機関	権限のある職員	5 F 8 6 2 4
日本国特許庁 (ISA/JP)	特許庁審査官	道 田 泰 三 ㊤

THIS PAGE BLANK (USPTO)